

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-156654

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

G02F 1/1368
G02B 5/20
G02F 1/1335
G02F 1/1343
G09F 9/30
G09F 9/35

(21)Application number : 2001-221955

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 17.02.1995

(72)Inventor : MATSUO MUTSUMI

(30)Priority

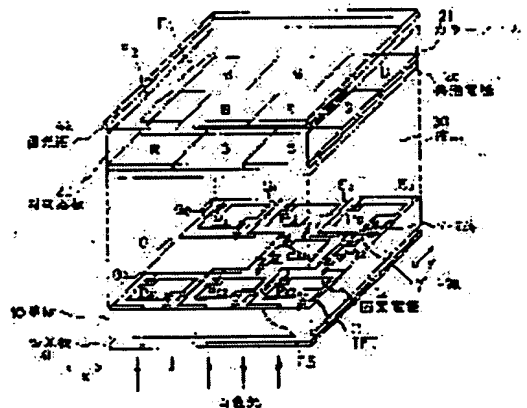
Priority number : 06020483 Priority date : 17.02.1994 Priority country : JP

(54) ACTIVE MATRIX SUBSTRATE AND LIQUID CRYSTAL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high quality color liquid crystal display device in a delta array.

SOLUTION: A delta array is constituted by periodically arranging pixel regions (P11, P12 and P13) having pixel electrodes (12) corresponding to red, green and blue colors in an X direction while making the three colors as a unit and arranging the regions to be deviated for 1/2 period at odd and even number stages in a Y direction. When only the pixel electrodes of regions (P12, P22 and P32) corresponding to a same color are connected with respect to a same source line (S2), the regions are arranged in left and right alternatively with respect to the line. Among pixel regions arranged along the X direction, relative positions of a TFT (11), pixel electrodes, a first electrode section (C1) and a second electrode section (C2) of a holding capacitance (CS) are made the same. Among pixel regions arranged in the Y direction along source lines (S1, S2,



etc.), the relative locations of the TFT and the pixel electrode are inverted left and right every other stage. However, the relative position relationships of the holding capacitance and the first and the second electrode sections are made the same.

LEGAL STATUS

[Date of request for examination] 30.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more gate lines prolonged in the direction of X, and two or more source lines prolonged in the direction of Y which intersects perpendicularly with the direction of X, Two or more pixel electrodes arranged corresponding to the intersection of said gate line and said source line, Two or more thin film transistors which have the drain field electrically connected to the source field electrically connected to the gate electrode electrically connected to said gate line, and said source line, and said pixel electrode, and have been arranged corresponding to said pixel electrode, It has two or more retention volume capacitors which have the 1st polar zone electrically connected to said pixel electrode, and the 2nd polar zone electrically connected to the gate line of the preceding paragraph, and have been arranged corresponding to said pixel electrode. The pixel electrodes which adjoin each other in the direction of Y among two or more pixel electrodes electrically connected through said thin film transistor to the same source line The active-matrix substrate characterized by the relative formation location of said 1st polar zone to said 2nd polar zone being the same among the retention volume capacitors electrically connected to the gate line which is arranged and adjoins so that it may be located in the opposite side on both sides of said same source line. [Claim 2] Two or more gate lines prolonged in the direction of X, and two or more retention volume lines prolonged in the direction of X, Two or more pixel electrodes arranged corresponding to the intersection of two or more source lines prolonged in the direction of Y which intersects perpendicularly with the direction of X, and said gate line and said source line, Two or more thin film transistors which have the drain field electrically connected to the source field electrically connected to the gate electrode electrically connected to said gate line, and said source line, and said pixel electrode, and have been arranged corresponding to said pixel electrode, It has the retention volume capacitor which has the 1st polar zone electrically connected to said pixel electrode, and the 2nd polar zone electrically connected to said retention volume line, and has been arranged corresponding to said pixel electrode. The pixel electrodes which adjoin each other in the direction of Y among two or more pixel electrodes electrically connected through said thin film transistor to the same source line The active-matrix substrate characterized by the relative formation location of said 1st polar zone to said 2nd polar zone being the same among the retention volume capacitors electrically connected to the retention volume line which is arranged and adjoins so that it may be located in the opposite side on both sides of said same source line.

[Claim 3] It is a color liquid crystal display using the active-matrix substrate indicated by the 1st term of a claim, or the 2nd term. The 1st color filter train by which the color filter of the red formed corresponding to said pixel electrode and three green and blue colors was periodically arranged in the direction of X by making said three colors into one unit, It has the 2nd color filter train which adjoined said 1st color filter train in the direction of Y, and was periodically arranged in the direction of X by making said three colors into one unit. Said 1st color filter train and said 2nd color filter train The color liquid crystal display characterized by being arranged at the condition that only the distance equivalent to $1/[\text{of the period of said one unit}] \cdot 2$ period shifted in the direction of X by turns, and connecting only the pixel electrode corresponding to the color filter of the same color through said thin film transistor to

the same source line.

[Claim 4] It is a color liquid crystal display using the active-matrix substrate indicated by the 1st term of a claim, or the 2nd term. The 1st color filter train by which the color filter of the red formed corresponding to said pixel electrode and three green and blue colors was periodically arranged in the direction of X by making said three colors into one unit, It has the 2nd color filter train which adjoined said 1st color filter train in the direction of Y, and was periodically arranged in the direction of X by making said three colors into one unit. Said 1st color filter train and said 2nd color filter train The color liquid crystal display characterized by being arranged at the condition that only the distance equivalent to $1/3$ of the period of said one unit] 3 period shifted in the direction of X by turns, and connecting only the pixel electrode corresponding to the color filter of the same color through said thin film transistor to the same source line.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the component structure of the active-matrix substrate used for a liquid crystal display, especially the structure of a retention volume capacitor. Moreover, it is related with the structure of the color liquid crystal display using the active-matrix substrate.

[Background of the Invention] The fundamental structure of the color liquid crystal display using an active-matrix substrate is shown in drawing 1. the gate lines G0, G1, and G2 prolonged in the direction of X in the front face of a substrate 10 in drawing 1 -- with ... the source lines S1, S2, and S3 prolonged in the direction of Y -- these ... and source lines S1, S2, and S3 -- the ... and gate lines G1 and G2 and G3 -- the thin film transistor (it is hereafter called "TFT") connected to two or more pixel electrodes 12 arranged in the location corresponding to an intersection with ..., and each pixel electrode 11 is formed.

[0002] and a selection period G1 and G2, i.e., gate lines, and G3 -- the liquid crystal part by volume CLC which consisted of liquid crystal 30 enclosed with the common electrode 26 formed in the opposite substrate 20 at the period whose TFT11 is an ON state, the pixel electrodes 12, and those gaps by the signal from ... the source lines S1, S2, and S3 -- the picture signal supplied from ... is written in. The picture signal written [the non-selection period, i.e., the period whose TFT11 is an OFF state,] in the liquid crystal part by volume CLC on the other hand at the selection period is held.

[0003] Here, in order to perform the high display of grace, it is called for that the maintenance property in a non-selection period is good. It is effective in it to form the retention volume capacitor CS in juxtaposition electrically to the liquid crystal part by volume CLC. About the retention volume capacitor CS, the configuration which forms the retention volume capacitor CS between the gate line of the preceding paragraph and the pixel electrode 12, or the configuration which forms the retention volume capacitor CS between the retention volume line (not shown to drawing 1) formed separately and the pixel electrode 12 is proposed.

[0004]

[Problem(s) to be Solved by the Invention] thus, the constituted retention volume capacitor CS, the pixel electrode 12, TFT11, and others accompany -- **** -- ** -- the pixel fields P11, P12, and P13 ... is constituted. In addition, although the pixel field is not formed between the pixel field P11 and the pixel field P31, there are also that by which the pixel field for blue is formed in the field, and a thing in which the dummy pixel field is formed here. The color filter 21 is formed in the opposite substrate 20.

Generally a color filter 21 consists of the red filter R, a green filter G, and a blue filter B. These red filters R, the green filter G, and the blue filter B are repeatedly arranged in the display screen by making them into one unit. There is a stripe array, a mosaic array, or a delta array as array of a color filter 21. Here, the color array pattern of a delta array is shown in drawing 12, and an example of the color array pattern of a mosaic array is shown to it at drawing 13. In such a delta array and a mosaic array, since each color element distributes to homogeneity in the display screen, there is an advantage that a smooth image can be displayed, as compared with a stripe array.

[0005] As a liquid crystal display with which the delta array was used, there are some which were

indicated by JP,3-64046,B 3rd Fig. A, and there are some which were indicated by this official report 8th Fig. C-F as a liquid crystal display with which the mosaic array was used.

[0006] Three pixel fields P21, P22, and P23 corresponding to the red filter R, the green filter G, and the blue filter B make them one unit, and that for which the delta array was used among the liquid crystal displays indicated by this official report is periodically arranged in the direction of X, as shown in drawing 14 . However, the pixel fields P21, P22, and P23 in the pixel train of an even level eye shift only the distance which is equivalent to 1/2 period of said one unit to the pixel fields P11, P12, and P13 in a pixel train or the pixel fields P31, P32, and P33 of an odd level eye, and are arranged. For this reason, between the pixel train of an odd level eye, and the pixel train of an even level eye, they are the pixel fields P11, P12, and P13... Only the distance equivalent to a 1.5-pixel pitch has a center position in the condition of having shifted alternately with right and left.

[0007] Since any pixel field has the the same basic configuration, the pixel field P21 is explained to an example. In the pixel field P21, the source field 111 of TFT11 is connected to the source line S1, the gate electrode 113 is connected to the gate line G2, and the drain field 112 is connected to the pixel electrode 12.

[0008] Moreover, the 1st polar zone C1 electrically connected to the drain field 112 and the pixel electrode 12 of TFT11 and the 2nd polar zone C2 with the structure juttred out of the gate line G1 of the preceding paragraph in the direction of Y are formed in the pixel field P21. As for the ingredient of the 1st polar zone C1, the doped silicon silicon film is usually used. Through the dielectric film, the 1st polar zone C1 and the 2nd polar zone C2 counter, and are arranged as mentioned later. Thus, the retention volume capacitor CS is formed between the pixel electrode 12 and the gate line G1 of the preceding paragraph.

[0009] moreover, each source lines S1, S2, and S3 -- while having extended bending ... in the shape of a crank in the direction of Y, in order to make unnecessary the complicated color change-over circuit for supplying two or more chrominance signals to the suitable timing for the same source line, to the same source line, only the pixel electrode 12 of the pixel field corresponding to the same color is connected through TFT11. Therefore, the pixel field corresponding to the same color will be arranged by turns on both sides of a source line for every step at the same source line. for example, the pixel fields P12, P22, and P32 which corresponded green in the case of the source line S2 ... is arranged by turns at the both sides of the source line S2. Moreover, the physical relationship of TFT11 and a source line is also reverse for every step inevitably.

[0010] consequently, the gate lines G1 and G2 and G3 -- each pixel fields P11, P12, and P13 located in a line in the direction of X along with ... between ... While the relative formation location of TFT11, the pixel electrode 12, and the retention volume capacitor CS (the 1st polar zone C1 and 2nd polar zone C2) is the same Pixel fields P12, P22, and P32 located in a line in the direction of Y along with the source line S2 ... In between, the relative formation location of TFT11, the pixel electrode 12, and the retention volume capacitor CS has relation of bilateral symmetry for every step. for example, the pixel fields P11, P12, and P13 linked to the gate line G1 -- the pixel fields P21, P22, and P23 linked to the ... and gate line G2 -- between ..., the relative physical relationship of TFT11, the pixel electrode 12, and the retention volume capacitor CS is bilateral symmetry.

[0011] Such a manufacture approach of the active-matrix substrate of a configuration is briefly explained with reference to drawing 15 . Drawing 15 (A), (B), and (C) are the I-I' sectional view of drawing 14 , an II-II' sectional view, and an III-III' sectional view, respectively. In drawing 15 (A), first, after forming a polycrystalline silicon thin film on a substrate 10, the polycrystalline silicon thin film 110 which constitutes the active region of TFT11 and the 1st polar zone C1 of the retention volume capacitor CS is formed by patterning by the photolithography technique. Next, gate oxide 114 and the dielectric film C3 of the retention volume capacitor CS are formed by thermal oxidation of the polycrystalline silicon film 110. Next, only to the polycrystalline silicon film 110 for constituting the retention volume capacitor CS, an impurity is doped alternatively and the 1st polar zone C1 of the retention volume capacitor CS is formed. Then, the gate electrode 113 and the 2nd polar zone C2 of the retention volume capacitor CS are formed with the doped silicon film of polycrystal by the

photolithography technique. It is in the condition that the gate electrode 113 and the gate line G2 were connected electrically, and the 2nd polar zone C2 and the gate line G1 of the preceding paragraph were electrically connected in the pixel field P21 by this condition.

[0012] Next, the source field 111 and the drain field 112 are formed by driving in ion by using the gate electrode 113 as a mask. Next, a through hole is formed in it after forming an interlayer insulation film 115.

[0013] The source terminal 118 and the drain terminal 119 are electrically connected to after an appropriate time to the source field 111 and the drain field 112, respectively. Here, the source terminal 118 is electrically connected to the source line S1, and the drain terminal 119 is electrically connected to the pixel electrode 12.

[0014] Thus, while forming TFT11 and the retention volume capacitor CS in the pixel field P21, as shown in drawing 15 (B) and (C), the retention volume capacitor CS is formed also in the pixel fields P11, P12, and P22.

[0015] however, each pixel fields P12, P22, and P32 which will be located in a line in the direction of Y along with the source line S2, for example if a gap of alignment occurs in a longitudinal direction (the direction of X) when the pattern shown in drawing 14 is used, and forming each component with the photolithography technique on the substrate 10 -- in ..., structure parameters will differ for every step.

[0016] Namely, the formation pattern A1 of the polycrystalline silicon film by the side of the lower layer for forming the 1st polar zone C1 of TFT11 and the retention volume capacitor CS in drawing 16, the gate lines G1 and G2 and G3 -- with the formation pattern A2 of the polycrystalline silicon film by the side of the upper layer for forming the 2nd polar zone C2 of ..., the gate electrode 113, and the retention volume capacitor CS When a slash is attached for a ***** part as an opposite part C0 of the retention volume capacitor CS, If alignment shifts to right and left between the formation pattern A1 of the polycrystalline silicon film by the side of a lower layer, and the formation pattern A2 of the polycrystalline silicon film by the side of the upper layer the gate line G1 and G3 -- the pixel fields P11 and P12 of the odd level eye chosen by ... P31 and P32 -- the retention volume capacitor CS of ... (ODD) (it connects with ... these retention volume capacitors -- the gate lines G0 and G2 --) The gate line G2, pixel fields P21 and P22 chosen by ... (G4) ... Retention volume capacitor CS (EVEN) (these retention volume capacitors) the gate line G1 and G3 -- it connects with ... In between, the area of the opposite part C0 which attached the slash is changed. Since the ideal case where there is no gap of alignment in a longitudinal direction is shown in drawing 16, the capacity value of the retention volume capacitor CS (ODD) and the capacity value of the retention volume capacitor CS (EVEN) are equal to it.

[0017] However, when a gap of alignment is in a longitudinal direction, it has a different value from the capacity value of the retention volume capacitor CS (ODD), and the capacity value of the retention volume capacitor CS (EVEN). For example, if formed in the condition that the formation pattern A1 of the polycrystalline silicon thin film by the side of a lower layer shifted in the direction of an arrow head R to the formation pattern A2 of the polycrystalline silicon thin film by the side of the upper layer, the capacity value of the retention volume capacitor CS (EVEN) will become small to the capacity value of the retention volume capacitor CS (ODD) becoming large.

[0018] consequently -- the case where TFT of N type is used -- the gate line G1 of an odd level eye, and G3 -- the optimal LC common electrical potential difference of ... the gate line G2 of an even level eye - - the problem that become higher than the optimal LC common electrical potential difference of ..., a difference occurs on an optimal LC common electrical potential difference, and a flicker occurs per gate line arises.

[0019]

[Means for Solving the Problem] In order to cancel such a trouble, the purpose of this invention is to offer a active-matrix substrate without a flicker, even when the pixel electrode of each pixel field connects from the right-and-left opposite side by turns for every step to the same source line by improving the formation pattern of each polar zone which constitutes a retention volume capacitor. Moreover, another purpose of this invention is to offer the quality color liquid crystal display using the

active-matrix substrate constituted in this way.

[0020] In order to solve such a technical problem, with the 1st gestalt of this invention First, two or more gate lines prolonged in the direction of X to the active-matrix substrate, Two or more pixel electrodes arranged corresponding to the intersection of two or more source lines prolonged in the direction of Y which intersects perpendicularly with the direction of X, and said gate line and said source line, Two or more thin film transistors which have the drain field electrically connected to the source field electrically connected to the gate electrode electrically connected to said gate line, and said source line, and said pixel electrode, and have been arranged corresponding to said pixel electrode, Two or more retention volume capacitors which have the 1st polar zone electrically connected to said pixel electrode and the 2nd polar zone electrically connected to the gate line of the preceding paragraph, and have been arranged corresponding to said pixel electrode are formed.

[0021] and about the pixel electrodes which adjoin each other in the direction of Y among two or more pixel electrodes electrically connected through said thin film transistor to the same source line While arranging so that it may be located in the opposite side on both sides of said same source line, it has the description to make the same the relative formation location of said 1st polar zone to said 2nd polar zone among the retention volume capacitors electrically connected to the adjoining gate line. With the 2nd gestalt of this invention, a active-matrix substrate is received first. Two or more gate lines prolonged in the direction of X, and two or more retention volume lines prolonged in the direction of X, Two or more pixel electrodes arranged corresponding to the intersection of two or more source lines prolonged in the direction of Y which intersects perpendicularly with the direction of X, and said gate line and said source line, Two or more thin film transistors which have the drain field electrically connected to the source field electrically connected to the gate electrode electrically connected to said gate line, and said source line, and said pixel electrode, and have been arranged corresponding to said pixel electrode, The retention volume capacitor which has the 1st polar zone electrically connected to said pixel electrode and the 2nd polar zone electrically connected to said retention volume line, and has been arranged corresponding to said pixel electrode is formed.

[0022] and about the pixel electrodes which adjoin each other in the direction of Y among two or more pixel electrodes electrically connected through said thin film transistor to the same source line While arranging so that it may be located in the opposite side on both sides of said same source line, it is characterized by making the same the relative formation location of said 1st polar zone to said 2nd polar zone among the retention volume capacitors electrically connected to the adjoining retention volume line.

[0023] thus, in the constituted active-matrix substrate Since the relative formation location of said 1st polar zone to said 2nd polar zone is the same among the retention volume capacitors which adjoin in the direction of Y, When forming each component using a photolithography technique, even if a gap of alignment occurs, among those retention volume capacitors A difference does not occur to the opposed face product of the 1st polar zone and the 2nd polar zone, but capacity value of those retention volume capacitors can be made into homogeneity.

[0024] So, generating of the flicker in the gate line unit by a retention volume value being different between adjoining retention volume capacitors can be prevented by using the active-matrix substrate of such a configuration for a liquid crystal display.

[0025] In this invention, in constituting the color liquid crystal display of a delta array using the aforementioned active-matrix substrate First, the 1st color filter train by which the color filter of the red formed corresponding to the pixel electrode and three green and blue colors was periodically arranged in the direction of X by making the three aforementioned colors into one unit, The 2nd color filter train which adjoined this 1st color filter train in the direction of Y, and was periodically arranged in the direction of X by making the three aforementioned colors into one unit is established. And while arranging the 1st color filter train and the 2nd color filter train in the condition that only the distance equivalent to $1/[\text{of the 1 aforementioned unit period}]$ 2 period shifted in the direction of X by turns, to the same source line, only the pixel electrode corresponding to the color filter of the same color is connected.

[0026] Moreover, in this invention, in constituting the color liquid crystal display of a mosaic array using the aforementioned active-matrix substrate, while arranging the 1st color filter train and the 2nd color filter train in the condition that only the distance equivalent to $1/3$ of the 1 aforementioned unit period] 3 period shifted in the direction of X by turns unlike the case of a delta array, to the same source line, only the pixel electrode corresponding to the color filter of the same color is connected.

[0027]

[Embodiment of the Invention] The [1st example] Drawing 1 is drawing showing the fundamental configuration of the color liquid crystal display which used the active-matrix substrate. Drawing 2 is the top view showing the formation pattern of each component of the active-matrix substrate used for the liquid crystal display of this example. In addition, as for the active-matrix substrate of this example, only the formation pattern of each component in the conventional active-matrix substrate and a pixel field is different, since other parts are the same, about the component which has a common function, the same sign is attached and the detailed explanation is omitted.

[0028] the gate lines G0, G1, and G2 prolonged in the direction of X in drawing 1 on the front face of the transparent substrate 10 which constitutes a active-matrix substrate from a color liquid crystal display of this example -- the source lines S1, S2, and S3 prolonged in the direction of ... and Y -- an intersection with ... corresponding -- the pixel fields P11, P12, and P13 ... is formed. and each pixel fields P11, P12, and P13 ... setting -- the source lines S1, S2, and S3 -- the transparent pixel electrode 12 is connected through TFT11 to ... and the gate lines G1 and G2 and G3 -- the period (selection period) whose TFT11 is an ON state by the signal from ... the liquid crystal part by volume CLC -- the source lines S1, S2, and S3 -- the picture signal supplied from ... is written in. On the other hand, the picture signal written in the liquid crystal part by volume CLC at the selection period is held at the period (non-selection period) whose TFT11 is an OFF state.

[0029] Here, in order to perform the high display of grace, it is called for that the maintenance property in a non-selection period is good. Then, gate lines G0, G1, and G2 ... Between the gate line of the preceding paragraph, and the pixel electrode 12, the retention volume capacitor CS is constituted inside. Gate lines G0, G1, and G2 ... Inside, since the gate electrode of TFT11 is not connected to the gate line G0, the gate line G0 is a capacity line of dedication substantially.

[0030] In addition, polarizing plates 41 and 42 are arranged on the outside of a substrate 10 and the opposite substrate 20.

[0031] The color filter 21 is formed in the opposite substrate 20. Generally a color filter 21 consists of the red filter R, a green filter G, and a blue filter B. Each pixel fields P11, P12, and P13 ... The pixel electrode 12 is arranged corresponding to the color filter 21 of these three colors, respectively. The array of the color filter 21 of this example is a delta array (drawing 12). Namely, the 1st color filter train F1 (color filter train of an odd level eye) by which the color filter of three colors of red (R), green (G), and blue (B) was periodically arranged in the direction of X by making these 3 color into one unit in the opposite substrate 20, The 2nd color filter train F2 (color filter train of an even level eye) which adjoined this color filter train in the direction of Y, and was periodically arranged in the direction of X by making the three aforementioned colors into one unit is formed. Only the distance in which the 1st color filter train F1 and the 2nd color filter train F2 are equivalent to $1/2$ of the 1 aforementioned unit period] 2 period shifts in the direction of X by turns, and it is arranged. Thus, in the constituted delta array, since each color element is distributing to homogeneity in a screen, it is suitable for especially the image display as which smooth image quality is required.

[0032] Thus, corresponding to the array of the constituted color filter, with the active-matrix substrate, as shown in drawing 2 and drawing 3 , the 1st pixel train (pixel train of an odd level eye) by which three pixel fields P11, P12, and P13 corresponding to the red filter R, the green filter G, and the blue filter B have been periodically arranged in the direction of X by making them into one unit is formed. Moreover, it is arranged so that only the distance in which the pixel fields P21, P22, and P23 which are equivalent to the same unit in the pixel train (pixel train of an even level eye) of ***** 2nd are equivalent to $1/2$ period to the 1st pixel train may shift to the 1st pixel train in the direction of X in the direction of Y. Moreover, the pixel fields P31, P32, and P33 which are equivalent to the same unit in a ***** pixel

train (pixel train of an odd level eye) at the 2nd pixel train in the direction of Y are arranged so that only the distance which is equivalent to 1/2 period in the opposite direction to the pixel fields P21, P22, and P23 may shift. For this reason, a pixel train including the pixel fields P31, P32, and P33 is in the condition of having carried out the parallel displacement of the pixel train including the pixel fields P11, P12, and P13 in the direction of Y as it was. Therefore, each pixel fields P11, P12, and P13 ... A center position is in the condition that only the 1.5-pixel pitch shifted alternately with right and left for every step in the direction of Y.

[0033] each source lines S1, S2, and S3 -- while ... is bent in the shape of a crank -- the direction stretch ***** of Y. And only the pixel corresponding to the same color has connected to the same source line. Therefore, it has composition which only the signal for performing red and any 1 green and blue color specification should supply from the same source line. In addition, although the source line prolonged in the direction of Y was used in this example, bending in the shape of a crank instead, the source line prolonged in the direction of Y may be used, moving in a zigzag direction in the shape of a curve.

[0034] Since the fundamental configuration of any pixel field is the same, the pixel field P21 is explained to an example. Gaea ***** 113 of TFT11 is connected to the gate line G2, the source field 111 is connected to the source line S1, and the drain field 112 is connected to the pixel electrode 12 so that drawing 2 may show. The 1st polar zone C1 electrically connected to the drain field 112 and the pixel electrode 12 is formed in the pixel field P21, and the 1st polar zone C1 is formed in it by the doped silicon film. Moreover, the 2nd polar zone C1 prolonged in the direction of Y from the gate line G1 of the preceding paragraph is formed.

[0035] The 1st polar zone C1 and 2nd polar zone C2 have countered through a dielectric film, and are in the condition that the retention volume capacitor CS is formed between the gate line G2 of the preceding paragraph, and the pixel electrode 12.

[0036] thus -- the constituted active-matrix substrate -- the crank-like source lines S1, S2, and S3 ... receiving -- the pixel fields P11, P12, and P13 -- only the pixel electrode 12 of the pixel field corresponding to the same color of each color filter 21 by which the delta array was carried out among ... is connected. For this reason, pixel fields P12, P22, and P32 corresponding to [in / in the same source line S2 / the direction of Y] green (R) ... The pixel electrode 12 is connected by turns from the right-and-left opposite side. the other source lines S1 and S3 -- the same is said of ...

[0037] Each pixel fields P11, P12, and P13 located in a line in the direction of X along with the gate line G1 here ... In between, the relative formation location of TFT11, the pixel electrode 12, and the retention volume capacitor CS (the 1st polar zone C1 and 2nd polar zone C2) is the same. Moreover, each pixel fields P21, P22, and P23 located in a line in the direction of X along with the gate line G2 ... Also in between, the relative formation location of TFT11, the pixel electrode 12, and the retention volume capacitor CS (the 1st polar zone C1 and 2nd polar zone C2) is the same.

[0038] On the other hand, pixel fields P12, P22, and P32 located in a line in the direction of Y along with the source line S2 ... In between, the relative formation location of TFT11 and the pixel electrode 12 is the pattern which carries out right-and-left reversal for every step. namely, the pixel fields P11, P12, and P13 of the odd level eye linked to the gate line G1 -- the pixel fields P21, P22, and P23 of the even level eye linked to the ... and gate line G2 -- between ..., the formation pattern of TFT11 and the pixel electrode 12 is bilateral symmetry.

[0039] However, the retention volume capacitor CS is formed in the same relative position also in which pixel field. In other words, the relative position of the retention volume capacitor CS in a pixel field is the same among the retention volume capacitors which adjoin in the direction of Y.

[0040] moreover, the 1st polar zone C1 of the retention volume capacitor CS and the gate lines G0, G1, and G2 of the preceding paragraph -- the relative physical relationship between the 2nd polar zone C2 jutted out of ... each pixel fields P12, P22, and P32 -- also in which direction of the direction of X, and the direction of Y, it is the same between ...

[0041] For example, the retention volume capacitor CS is formed in the field along which the source line S1 of the preceding paragraph passes in the pixel field P12 linked to the gate line G1. The retention volume capacitor CS is formed in the field along which similarly the source line S1 of the preceding

paragraph passes also by the pixel field P32 linked to gate line G3. therefore, the gate line G1 and which pixel fields P11 and P12 linked to G3 ... P31 and P32 -- the 1st polar zone C1 of the retention volume capacitor CS has lapped with the 2nd polar zone C2 jutted [in / in ... / a stretch cage and this left-hand side field] even over the left-hand side field of the pixel electrode 12 out of the gate lines G0 and G2 of the preceding paragraph as it is from a connecting location with the drain field 112 of TFT11.

[0042] On the other hand, the retention volume capacitor CS is formed in the field along which the source line S2 which pixel field P22 self connects passes in the pixel field P22 linked to the gate line G2. therefore, which pixel fields P21 and P22 linked to the gate line G2 ... the 1st polar zone C1 of the retention volume capacitor CS -- the source field 111 from a connecting location with the drain field 112 of TFT11 -- going -- once -- turning up -- the pixel fields P11 and P12 of the odd level eye from the source field 111 neighborhood ... P31 and P32 -- it has extended even to the left-hand side field of the pixel electrode 12 like ... And in this left-hand side field, it has lapped with the 2nd polar zone C2 jutted out of the gate line G1 of the preceding paragraph (drawing 3).

[0043] Such a manufacture approach of the active-matrix substrate of a configuration is explained with reference to drawing 4. Drawing 4 (A), (B), and (C) are the IV-IV' sectional view of drawing 2, a V-V' sectional view, and a VI-VI' sectional view, respectively.

[0044] In drawing 4 (A), the polycrystal SHIRIKOSHI thin film 110 for forming the active region of TFT11 and the 1st polar zone C1 of the retention volume capacitor CS with a photolithography technique first on the substrate 10 which consists of quartz glass is formed.

[0045] Next, gate oxide 114 and the insulator layer C3 of the retention volume capacitor CS are formed by thermal oxidation of the polycrystalline silicon film 110. Next, the 1st polar zone C1 of the retention volume capacitor CS is formed by doping an impurity alternatively only to the polycrystalline silicon film 110 for forming the retention volume capacitor CS.

[0046] Then, the gate electrode 113 and the 2nd polar zone C2 of the retention volume capacitor CS are formed from the doped silicon thin film of polycrystal with a photolithography technique. In this condition, in the pixel field P21, the gate electrode 113 is electrically connected to the gate line G2, and the 2nd polar zone C2 is in the condition of having connected with the gate line G1 of the preceding paragraph electrically.

[0047] Next, ion is driven in by using the gate electrode 113 as a mask, and the source field 111 and the drain field 112 are formed. Next, a through hole is formed in it after forming an interlayer insulation film 115.

[0048] The source terminal 118 and the drain terminal 119 are electrically connected to after an appropriate time to the source field 111 and the drain field 112, respectively. Here, the source terminal 118 is electrically connected to the source line S1, and the drain terminal 119 is electrically connected to the pixel electrode 12.

[0049] Thus, while forming TFT11 and the retention volume capacitor CS in the pixel field P21, as shown in drawing 4 (B) and (C), the retention volume capacitor CS is formed also in the pixel fields P11, P12, and P22.

[0050] when forming each component on the substrate 10 with the photolithography technique, even if a gap of the alignment of a pattern mask occurs in a longitudinal direction (the direction of X) in such a manufacture approach -- this example -- each pixel fields P11, P12, and P13 -- in ..., structure parameters do not differ for every step Namely, formation pattern A3 of the polycrystalline silicon film by the side of the lower layer for forming the 1st polar zone C1 of TFT11 and the retention volume capacitor CS in drawing 5, the gate lines G1 and G2 and G3, when a slash is attached and a lap part with formation Bataan A4 of the polycrystalline silicon film by the side of the upper layer for forming the 2nd polar zone C2 of ..., the gate electrode 113, and the retention volume capacitor CS is expressed as an opposite part C0 of the retention volume capacitor CS Even if alignment shifts in the direction of X between formation pattern A3 of the polycrystalline silicon film, and formation pattern A4 of the polycrystalline silicon film the gate line G1 and G3 -- the pixel fields P11 and P12 linked to ... P31 and P32 -- the retention volume capacitor CS (ODD) of ... (pixel field of an odd level eye) (it connects with ... these retention volume capacitors -- the gate lines G0 and G2 and G3 --) the gate line G2 -- the

pixel fields P21 and P22 linked to ... the retention volume capacitor CS (EVEN) of ... (pixel field of an even level eye) (these retention volume capacitors) the gate line G1, G3, and G5 -- it connects with ... The area of the opposite part C0 is not changed in between.

[0051] For example, even if formed in the condition that formation pattern A3 of a polycrystalline silicon thin film shifted in the direction of an arrow head R a little to formation Bataan A4 of a polycrystalline silicon thin film the pixel fields P11 and P12 of an odd level eye ... P31 and P32 -- the pixel fields P21 and P22 of ... and an even level eye -- in the both sides of ..., the area of the opposite part C0 of the 1st polar zone C1 and the 2nd polar zone C2 in each retention volume capacitor CS only becomes small. On the contrary, even if formed in the condition that formation Bataan A3 of a polycrystalline silicon thin film shifted in the direction of an arrow head L a little to formation pattern A4 of a polycrystalline silicon thin film the pixel fields P11 and P12 of an odd level eye ... P31 and P32 -- the pixel fields P21 and P22 of ... and an even level eye -- in the both sides of ..., the area of the opposite part C0 of the 1st polar zone C1 and the 2nd polar zone C2 in each retention volume capacitor CS only becomes large.

[0052] Moreover, even if alignment shifts in the vertical direction (the direction of Y) somewhat, the area of the opposite part C0 of the 1st polar zone C1 and the 2nd polar zone C2 in each retention volume capacitor CS does not change.

[0053] thus, in the active-matrix substrate of this example Even if alignment shifts in a longitudinal direction (the direction of X), or the vertical direction (the direction of Y) between formation pattern A3 of the polycrystalline silicon film, and formation pattern A4 of the polycrystalline silicon film Each pixel fields P11 and P12 ... P21, P22 ... P31, P32 ... In between Since the capacity value of each retention volume capacitor CS is always equal, they are the gate line G1 of an odd level eye, and G3... The optimal LC common electrical potential difference, and the gate line G2 of an even level eye and the optimal LC common electrical potential difference of .. are always the same. So, since an overall optimal LC common electrical potential difference can be set up, the flicker in a gate line unit can be prevented.

[0054] furthermore, the pixel fields P11, P12, and P13 located in a line in the direction of Y along with the source lines S1, S2, and S3 in this example -- right-and-left reversal of the relative formation location of TFT11 and the pixel electrode 12 is only carried out for every step between ..., and the 1st formation location and configuration of the polar zone C1 for forming the retention volume capacitor CS only differ from each other. Therefore, the flicker which originates in the alignment gap at the time of forming the 1st polar zone C1 and 2nd polar zone C2 only by optimizing the relative physical relationship of the 1st polar zone C1 and the 2nd polar zone C2 is prevented. So, since it can apply also when the formation field and magnitude of each component have a limit, it is advantageous, highly minute and especially in case the liquid crystal display of high density is realized.

[0055] moreover, the gate line G1 of an odd level eye and G3 -- the pixel fields P11 and P12 corresponding to ... the gate line G2 of a ... and even level eye -- the pixel fields P21 and P22 corresponding to ... the pattern of components other than the 1st polar-zone C1 is substantially the same between ... so -- even if the alignment gap with the opposite substrate 20 and a active-matrix substrate or the ally AMENTO gap on a active-matrix substrate occurs -- the gate line G1 of an odd level eye, and G3 -- the pixel fields P11 and P12 corresponding to ... the gate line G2 of a ... and even level eye -- the pixel fields P21 and P22 corresponding to ... between ..., the difference of a numerical aperture is also mitigated and the horizontal Rhine unevenness by it can also be prevented.

[0056] The [2nd example] Drawing 6 is the top view showing the formation pattern of each component of the AKUIBU matrix substrate of the liquid crystal display of this example. In addition, only the part of a retention volume capacitor is different from the active-matrix substrate concerning the 1st example, and since other parts are the same, the active-matrix substrate of this example has given the same sign to the component which has the function to correspond.

[0057] Although it was the structure of using the gate line of the preceding paragraph in the 1st example although the 2nd polar zone C2 of each retention volume capacitor CS is formed this example -- the retention volume lines CM1, CM2, and CM3 of constant potential ... the gate lines G1 and G2 and G3 --

it forms in the condition of having extended in the direction of X in ... and juxtaposition -- having -- the retention volume capacitor CS -- the retention volume lines CM1, CM2, and CM3 -- the 2nd polar zone C2 is constituted using ...

[0058] In addition, red and three each pixel fields P21, P22, and P23 which correspond green and blue are periodically arranged in the direction of X by making them into one unit with the liquid crystal display of this example as well as the 1st example. Moreover, also in the pixel train which adjoins in the direction of Y, the pixel fields P11, P12, and P13 and the pixel fields P31, P32, and P33 which are similarly equivalent to one unit shift 1/2 period at a time alternately with right and left, and are arranged.

[0059] here -- each source lines S1, S2, and S3 ... is formed in the shape of a crank. Moreover, to the same source line, only the pixel electrode of the pixel field corresponding to the same color has connected. Therefore, it has composition which only the signal for performing red and any 1 green and blue color specification should supply from the same source line.

[0060] Moreover, someday, since the fundamental configuration of ***** is the same, if the pixel field P21 is explained to an example, the 1st polar zone C1 which consists of doped silicon film electrically connected to the drain field 112 and the pixel electrode 12 is formed in the pixel field P21, and the 2nd polar zone C2 prolonged in the direction of Y is formed in it from the retention volume line CM 2. The 1st polar zone C1 and the 2nd polar zone C2 have countered through a dielectric film, and the retention volume capacitor CS consists of pixel fields P21 between the pixel electrode 12 and the retention volume line CM 2.

[0061] Thus, pixel fields P11, P12, and P13 corresponding to the same color of each color filter 21 by which the delta array was carried out to the crank-like source line in the constituted active-matrix substrate ... Only the pixel electrode 12 was connected and the pixel electrode 12 of the pixel fields P12, P22, and P32 has connected from the right-and-left opposite side to the same lease line S2. the other source lines S1 and S3 -- the same is said of ...

[0062] Therefore, each pixel fields P11, P12, and P13 located in a line in the direction of X like the 1st example ... In between While the relative formation location of TFT11, the pixel electrode 12, and the retention volume capacitor CS (the 1st polar zone C1 and 2nd polar zone C2) is the same, it sets in the direction of Y. the pixel fields P12, P22, and P32 -- the relative formation location of the TFT11 and the pixel electrode 12 in ... is carrying out right-and-left reversal for every step.

[0063] However, the retention volume capacitor CS is formed in the same relative position also in which pixel field. In other words, it is the same among the retention volume capacitors which adjoin in the relative position of the retention volume capacitor CS in a pixel field, and the direction of Y.

[0064] moreover, the 1st polar zone C1 of the retention volume capacitor CS and the retention volume lines CM1 and CM2 -- the relative physical relationship between the 2nd polar zone C2 jutted out of ... is the same among the retention volume capacitors which adjoin in the direction of Y. That is, it is the same between each pixel field.

[0065] such a manufacture approach of the active-matrix substrate of a configuration -- the 1st example - almost -- the same -- the gate electrode 113, the gate lines G1 and G2, and G3 -- the time of forming ... the retention volume lines CM1, CM2, and CM3 -- only the point which forms in coincidence the 2nd polar zone C2 jutted out of ... and them is different.

[0066] Therefore, formation pattern A3 of the polycrystalline silicon film by the side of the lower layer for forming the 1st polar zone C1 of TFT11 and the retention volume capacitor CS in drawing 7, the gate lines G1 and G2 and G3 ... the gate electrode 113 and the retention volume lines CM1, CM2, and CM3, when a slash is attached and a lap part with formation pattern A5 of the polycrystalline silicon film by the side of the upper layer for forming the 2nd polar zone C2 of ... and the retention volume capacitor CS is expressed as an opposite part C0 of the retention volume capacitor CS Even if alignment shifts to a longitudinal direction (the direction of X) between formation pattern A3 of the polycrystalline silicon film, and formation pattern A5 of the polycrystalline silicon film, they are each pixel fields P11 and P12... P21, P22 ... P31, P32 ... In between The area (capacity value of the retention volume capacitor CS) of the opposite part C0 which attached the slash always becomes equal. So, according to this

example, it has the same effectiveness as the 1st example -- the flicker in a gate line unit can be prevented.

[0067] The [3rd example] In the 1st and 2nd examples, as a switching element, it replaces with this and each has used TFT of a reverse stagger mold by this example, although TFT of a coplanar mold was used.

[0068] Drawing 8 is the sectional view of TFT which used the amorphous silicon film for the active layer, and a retention volume capacitor. In drawing 8, gate electrode 113A which consists of tantalum film on substrate film 110A is formed in the front-face side of glass substrate 10A, and tantalum acid ghost 114A as gate dielectric film is formed in the front face. Silicon nitride 114B is formed in the front face of tantalum acid ghost 114A, and tantalum acid ghost 114A and silicon nitride 114B function on it as gate dielectric film. Intrinsic amorphous silicon film 117A for forming a channel is formed in the front-face side of silicon nitride 114B. Amorphous silicon film 116A of high-concentration N type is formed in the front-face side of intrinsic amorphous silicon film 117A. The part set to gate electrode 113A at the time of a pair is etched, and amorphous silicon film 116A of N type is divided into source field 111A and drain field 112A. aluminum electrode layer 118B forms in source field 111A through molybdenum layer 118A -- having -- **** -- this aluminum electrode layer 118B -- the source lines S1, S2, and S3 -- it connects with ... Pixel electrode 12A which consists of ITO film is connected to drain field 112A.

[0069] Pixel electrode 12A (ITO film) is the pixel fields P11, P12, and P13, as shown in drawing 9 ... It is formed even in the edge and the edge of pixel electrode 12A is the 1st polar zone C1 of the retention volume capacitor CS there.

[0070] The dielectric film C3 of the retention volume capacitor CS which consists of gate dielectric film, tantalum acid ghost 114A formed in coincidence, and silicon nitride 114B is formed in the lower layer side of the 1st polar zone C1. The tantalum film formed in gate electrode 113A and coincidence is formed in the lower layer side of a dielectric film C3, and this tantalum film has become the 2nd polar zone C2 of the retention volume capacitor CS. Since it has become same the 1st example and omitting other configurations, the detailed explanation is omitted. this example also shows to drawing 9 -- as -- the pixel fields P11, P12, and P13 ... is arranged corresponding to the color filter 21 of a delta array. the source lines S1, S2, and S3 same here -- the pixel fields P11, P12, and P13 corresponding to the same color to ... only pixel electrode 12A of ... is connected. for this reason, the pixel fields P12, P22, and P32 corresponding to green (R) in the same source line S2 ... has connected by turns from the right-and-left opposite side of the source line S2.

[0071] even in this case, the pixel fields P12, P22, and P32 located in a line in the direction of Y along with the source line S2 like the 1st example -- in ..., the formation location of the retention volume capacitor CS is located in the same location in a pixel field. Namely, although the 1st polar zone C1 of the retention volume capacitor CS is different from an example 1 at the point which consists of edges of pixel electrode 12A this 1st polar zone C1 and the gate of the preceding paragraph -- green -- G0, G1, and G2 -- the relative physical relationship between the 2nd polar zone C2 jutted out of ... the pixel fields P11, P12, and P13 -- it is set up so that it may be in agreement also in which direction of the direction of X, and the direction of Y between ... So, formation PA evening-N A7 of the ITO film for forming the 1st polar zone C1 of pixel electrode 12A and the retention volume capacitor CS in drawing 10, the gate lines G1 and G2 and G3, when a slash is attached and a lap part with the formation pattern A6 of the tongue evening RU film for forming the 2nd polar zone C2 of ..., gate electrode 113A, and the retention volume capacitor CS is expressed as an opposite part C0 of the retention volume capacitor CS. In case the formation pattern A7 of the ITO film and the formation pattern A6 of the tantalum film are formed, even if an alignment gap occurs in a longitudinal direction (the direction of X) the gate line G1 of an odd level eye, and G3 -- the pixel fields P11 and P12 linked to ... P31 and P32 -- with the retention volume capacitor CS of ... the gate line G2 -- the pixel fields P21 and P22 linked to ... between the retention volume capacitors CS of ..., the area (capacity value of the retention volume capacitor CS) of the opposite part C0 which attached the slash is equal. So, according to this example, it has the same effectiveness as the 1st example -- generating of the flicker in a gate line unit can be prevented.

[0072] in addition -- this example -- the 2nd polar zone C2 -- forming -- hitting -- the 1st example -- the

same -- the gate lines G0, G1, and G2 of the preceding paragraph, and G3 -- although ... was used -- the 2nd example -- like -- the retention volume lines CM1, CM2, and CM3 of dedication ... may be formed and the retention volume capacitor CS may be constituted using it.

[0073] The [4th example] Although the 1st thru/or the 3rd example are examples about the liquid crystal display which used the color filter of a delta array, this example is an example about the liquid crystal display which used the color filter of a mosaic array. In addition, in this example, since the color filter is a mosaic array, the pixel is arranged in the shape of a grid, but since it is the same as that of the 1st example, other parts give the same sign to a corresponding part, and omit those detailed explanation.

[0074] Drawing 11 is drawing having shown the pattern of each component of the active-matrix substrate of this example. the gate lines G1 and G2 prolonged in the direction of X in the front face of a transparent substrate, and G3 -- the source lines S1, S2, and S3 prolonged in the direction of ... and Y -- an intersection with ... corresponding -- the pixel fields P11, P12, and P13 ... is formed. these pixel fields P11, P12, and P13 ... the source lines S1, S2, and S3 -- the transparent pixel electrode 12 is connected through TFT11 as a switching element to ... in order [moreover,] to improve the maintenance property in the liquid crystal part by volume CLC -- the gate lines G0, G1, and G2 of the preceding paragraph, and G3 -- the retention volume capacitor CS is formed between the ... and pixel electrodes 12.

[0075] although such a configuration is the same as the case where a color filter 21 is a delta array, like the 1st thru/or the 3rd example, since the color filter 21 of red R, Green G, and blue B is formed in the mosaic array, by this example, it corresponds to the color filter 21 of red R, Green G, and blue B -- as -- the pixel fields P11, P12, and P13 ... is arranged. drawing 11 -- each pixel fields P11, P12, and P13 -- it has shown the class of color of the color filter corresponding to ... by (R), (G), and (B). Here, the color filter of red and three green and blue colors is periodically arranged in the direction of X by making these 3 color into one unit, as shown in drawing 13 . Here, the 1st color filter train F1 (color filter train of an odd level eye) and 2nd color filter train F2' (color filter train of an even level eye) are in the condition that only the distance equivalent to $1/3$ of the 1 aforementioned unit period] 3 period shifted in the direction of X by turns.

[0076] the pixel fields P11, P12, and P13 connected to the gate line G1 corresponding to the array of such a color filter -- by making three pixel fields P11, P12, and P13 corresponding to the color filter 21 of red R, Green G, and blue B at ... into one unit, it is arranged repeatedly linearly and the 1st pixel train (pixel train of an odd level eye) is formed in the direction of X. moreover, the pixel fields P21, P22, and P23 linked to the gate line G2 -- it is linearly arranged [in the 2nd pixel train (pixel train of an even level eye) which consists of ...] repeatedly in the direction of X by making three pixel fields P21, P22, and P23 corresponding to red R, Green G, and blue B into one unit. the distance which is equivalent to $1/3$ period when arranging periodically as one unit the pixel field of red R, Green G, and three colors corresponding to the color filter 21 of blue B here between the 1st pixel train (pixel train of an odd level eye), and the 2nd pixel train (pixel train of an even level eye) -- the direction of X -- and it is arranged so that it may shift by turns. Consequently, each pixel fields P11, P12, and P13 ... A center position In the AKUIBU matrix substrate in the condition that only the 1 pixel pitch shifted alternately with right and left for every step constituted in this way a delta array -- being different -- each source lines S1, S2, and S3 -- the case where only the pixel electrode of the pixel field corresponding to the same color connects to the same source line among ... the source lines S1, S2, and S3 -- it is formed so that ... may be linearly prolonged in between each pixel field toward the direction of Y.

[0077] Here, they are the pixel fields P12, P22, and P32 in the same source line S2, for example, the source... It is the same as that of the 1st thru/or the 3rd example that the pixel electrode 12 is connected by turns from the right-and-left opposite side. Therefore, each pixel fields P11, P12, and P13 located in a line in the direction of X ... Although the relative formation location of TFT11, the pixel electrode 12, and the retention volume capacitor CS (the 1st polar zone C1 and 2nd polar zone C2) is the same in between Pixel fields P12, P22, and P32 which are cured on the source line S2 and located in a line in the direction of Y ... In between, the relative formation location of TFT11 and the pixel electrode 12 is right and left reversed for every step.

[0078] However, the retention volume capacitor CS is formed in the same relative position also in which

pixel field. In other words, the relative position of the retention volume capacitor CS in a pixel field is the same among the retention volume capacitors which adjoin in the direction of Y.

[0079] moreover, the 1st polar zone C1 of the retention volume capacitor CS and the gate lines G0, G1, and G2 of the preceding paragraph -- the relative physical relationship between the 2nd polar zone C2 jutted out of ... each pixel fields P12, P22, and P32 -- also in which direction of the direction of X, and the direction of Y, it is the same between ... So, in case the 1st polar zone C1 of the retention volume capacitor CS and the 2nd polar zone C2 are formed the case where an alignment gap of a longitudinal direction (the direction of X) or the vertical direction (the direction of Y) occurs -- the gate line G1 of an odd level eye, and G3 -- the pixel fields P11, P12, and P13 corresponding to ... with ... the gate line G2 of an even level eye -- the pixel field P21 corresponding to ..., P22, and P23 -- since the capacity value of the retention volume capacitor CS is equal between ..., it has the same effectiveness as the 1st example -- generating of the flicker in a gate line unit can be prevented. in addition, the 1st example -- the same -- the gate lines G0, G1, and G2 of the preceding paragraph, and G3 -- although a part of ... was used for the 2nd polar zone C2 of the retention volume capacitor CS -- the 2nd example -- like -- the retention volume lines CM1, CM2, and CM3 of dedication ... may be formed and the part may be used for the 2nd polar zone C2 of the retention volume capacitor CS.

[0080] Moreover, as TFT11, TFT of a reverse stagger mold may be used not only like TFT of a coplanar mold but like the 3rd example.

[0081] [Other examples] The active-matrix substrate of this invention can prevent the flicker resulting from an alignment gap, as well as the case of a color liquid crystal display when it uses for a monochrome liquid crystal display.

[0082] Moreover, in each example, although the transparent ITO electrode was used, this invention is applicable also like the liquid crystal display of the reflective mold using the aluminum electrode etc. as a pixel electrode. Furthermore, it replaces with TFT and this invention can be applied also to the active-matrix substrate using the diode of MIM (Metal-Insulator-Metal) structure as a switching element. That is, it has same then an example 1 thru/or the same effectiveness as 4 for the relative formation location of the 1st polar zone of a retention volume capacitor, and the 2nd polar zone by the retention volume capacitors which adjoin in the direction of Y.

[0083] [Availability on industry] In this invention, it has the description as above to have made the same relative physical relationship with the pattern on top of which it can be laid if the parallel displacement of the structure of the 1st polar zone which constitutes the retention volume capacitor of a active-matrix substrate, and the 2nd polar zone is carried out between each pixel field, i.e., the 1st polar zone, and the 2nd polar zone between each pixel field. Therefore, according to this invention, in case the 1st polar zone and 2nd polar zone are formed, even if there is an alignment gap, the capacity value of a retention volume capacitor becomes equal. So, the difference of the capacity value of a retention volume capacitor can be abolished between odd gate stages and even gate stages, and a flicker can be mitigated.

[0084] Moreover, in a pixel field, although the formation location and occupancy area of the 1st polar zone and the 2nd polar zone are restricted, according to this invention, the flicker resulting from the alignment gap at the time of forming the 1st polar zone and 2nd polar zone can be prevented only by optimizing the relative physical relationship of the 1st polar zone and the 2nd polar zone. So, it is advantageous, highly minute and especially in case the liquid crystal display of high density is realized. Furthermore, between the pixel field corresponding to odd gate stages, and the pixel field corresponding to even gate stages, only the formation pattern of the 1st polar zone is different, and the pattern of other components is substantially equal. So, even if the alignment gap with an opposite substrate and a active-matrix substrate equipped with a color filter or the alignment gap on a active-matrix substrate occurs, the difference of a numerical aperture is also lost between the pixel fields linked to the pixel field and the even gate stages linked to odd gate stages, and horizontal Rhine unevenness can be prevented effectively.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the fundamental configuration of the color liquid crystal display using a active-matrix substrate.

[Drawing 2] It is the top view showing the formation pattern of each component of the active-matrix substrate used for the liquid crystal display concerning the 1st example.

[Drawing 3] It is the mimetic diagram of the formation pattern shown in drawing 2.

[Drawing 4] (A) is a sectional view in the IV-IV' line of drawing 2, A sectional view [in / in (B) / the V-V' line of drawing 2] and (C) are the sectional views in the VI-VI' line of drawing 2.

[Drawing 5] In the active-matrix substrate shown in drawing 2, it is the top view showing typically the formation pattern of each silicon film which forms two polar zone of a retention volume capacitor in a substrate front face.

[Drawing 6] It is the top view showing the formation pattern of each component of the active-matrix substrate used for the liquid crystal display concerning the 2nd example.

[Drawing 7] In the active-matrix substrate shown in drawing 6, it is the top view showing typically the formation pattern of each silicon film which forms two polar zone of a retention volume capacitor in a substrate front face.

[Drawing 8] It is the sectional view of TFT of the reverse stagger mold used as TFT of the active-matrix substrate used for the liquid crystal display concerning the 3rd example.

[Drawing 9] It is the top view showing the formation pattern of each component of the active-matrix substrate used for the liquid crystal display concerning the 3rd example.

[Drawing 10] In the active-matrix substrate shown in drawing 9, it is the top view showing typically the formation pattern of the tantalum film which forms two polar zone of a retention volume capacitor in a substrate front face, and the ITO film.

[Drawing 11] It is the top view showing the formation pattern of each component of the active-matrix substrate used for the liquid crystal display concerning the 4th example.

[Drawing 12] It is drawing showing the color array pattern of a delta array.

[Drawing 13] It is drawing showing an example of the color array pattern of a mosaic array.

[Drawing 14] It is the top view showing the formation pattern of each component of the active-matrix substrate used for the conventional liquid crystal display.

[Drawing 15] A sectional view [in / in (A) / the I-I' line of drawing 14], a sectional view [in / in (B) / the II-II' line of drawing 14], and (C) are the sectional views in the III-III' line of drawing 14.

[Drawing 16] In the active-matrix substrate shown in drawing 14, it is the top view showing typically the formation pattern of each silicon film which forms two polar zone of a retention volume capacitor in a substrate front face.

[Translation done.]

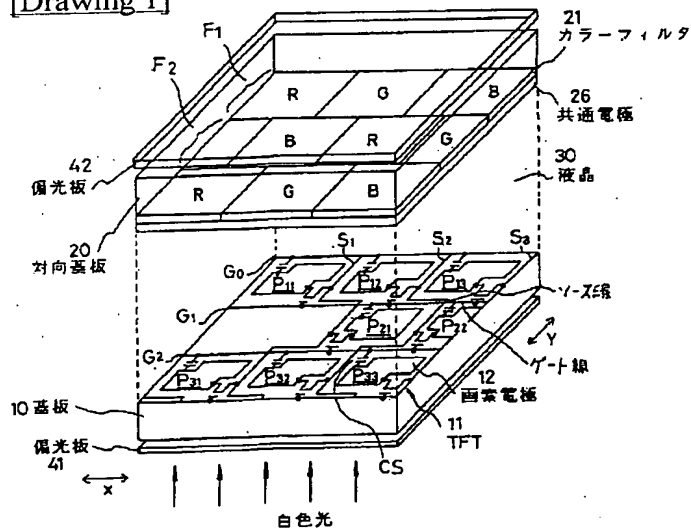
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

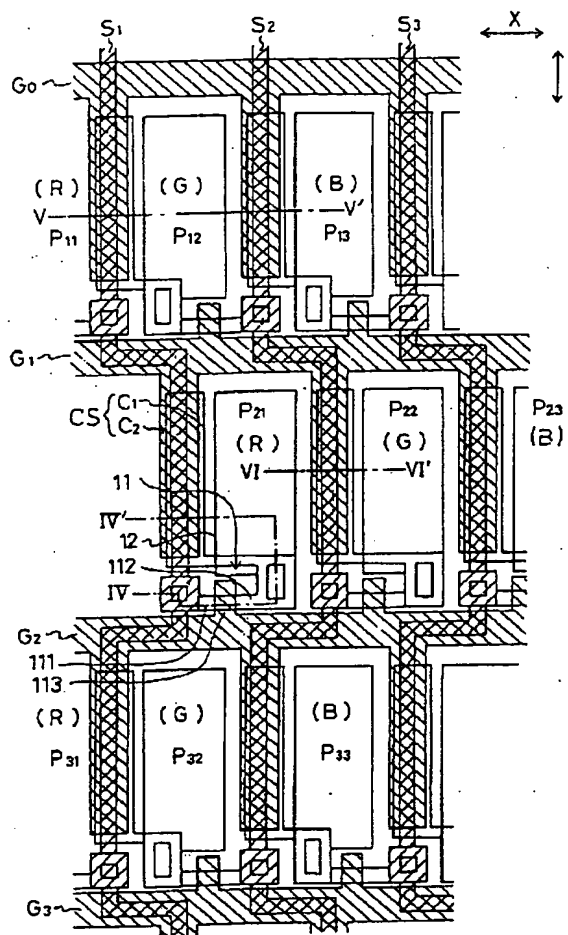
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

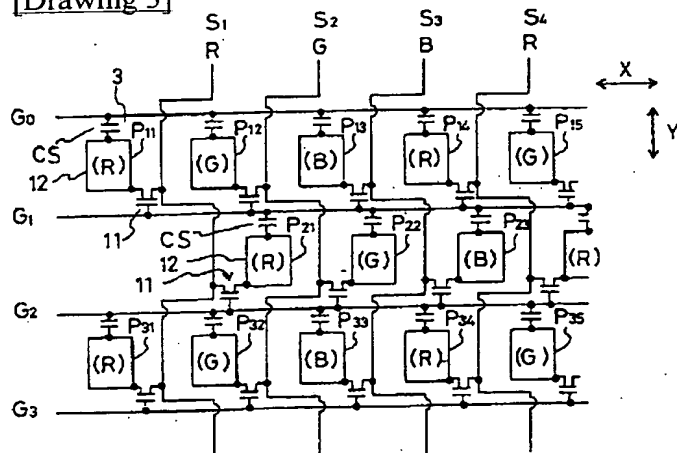
[Drawing 1]



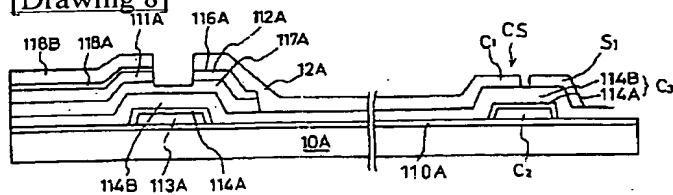
[Drawing 2]



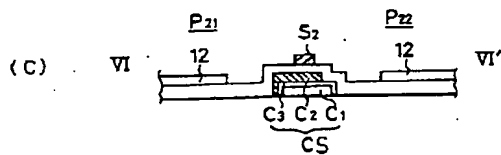
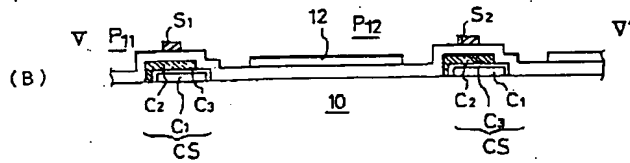
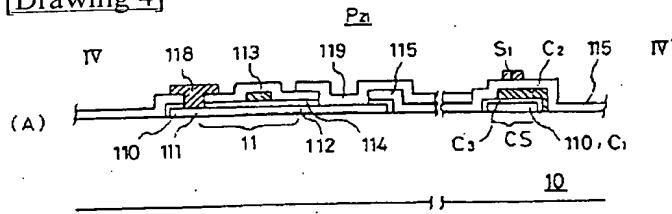
[Drawing 3]



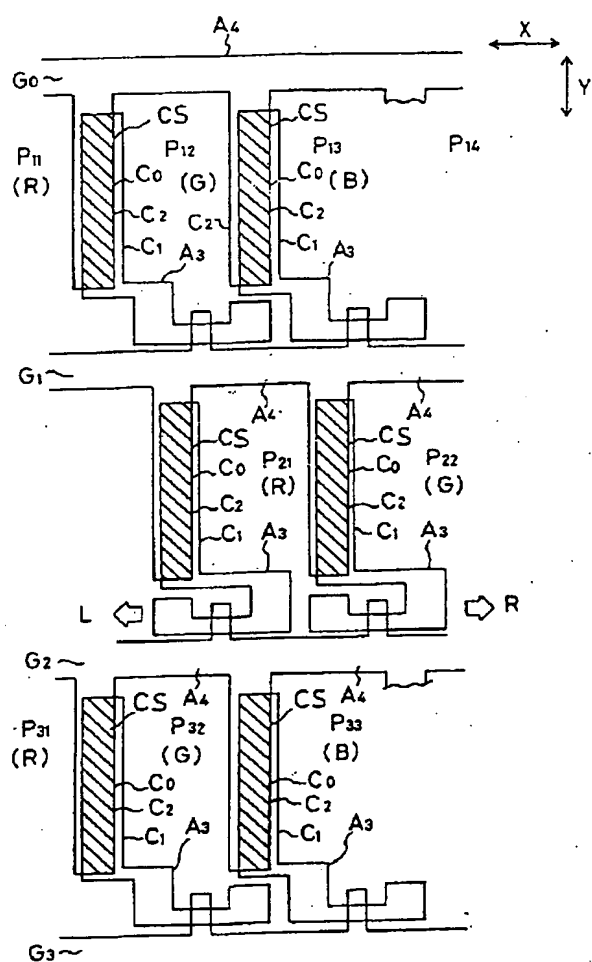
[Drawing 8]



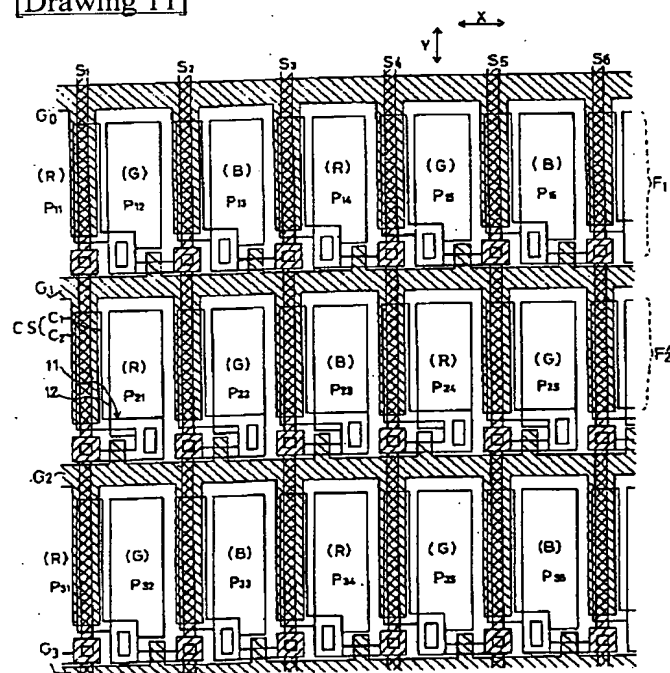
[Drawing 4]



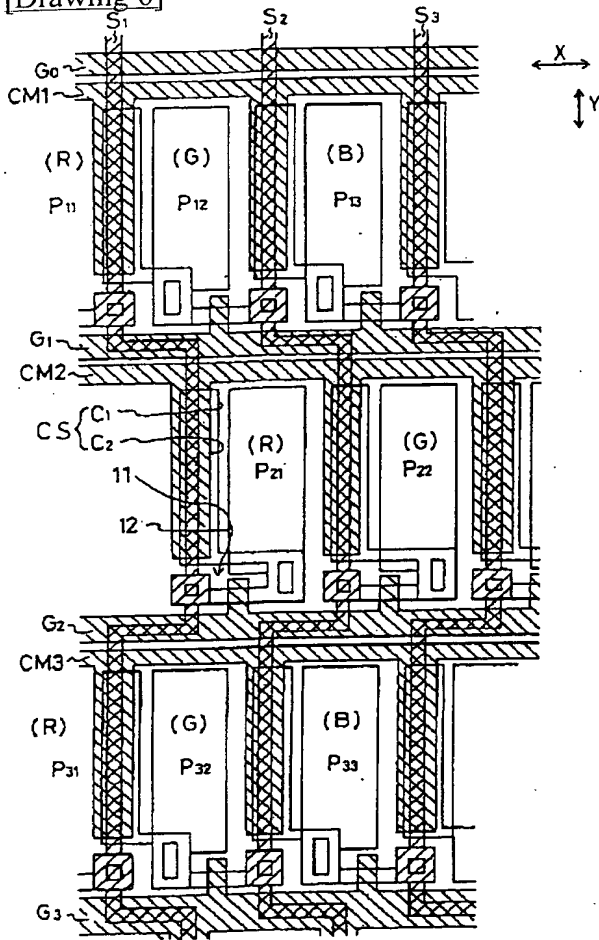
[Drawing 5]



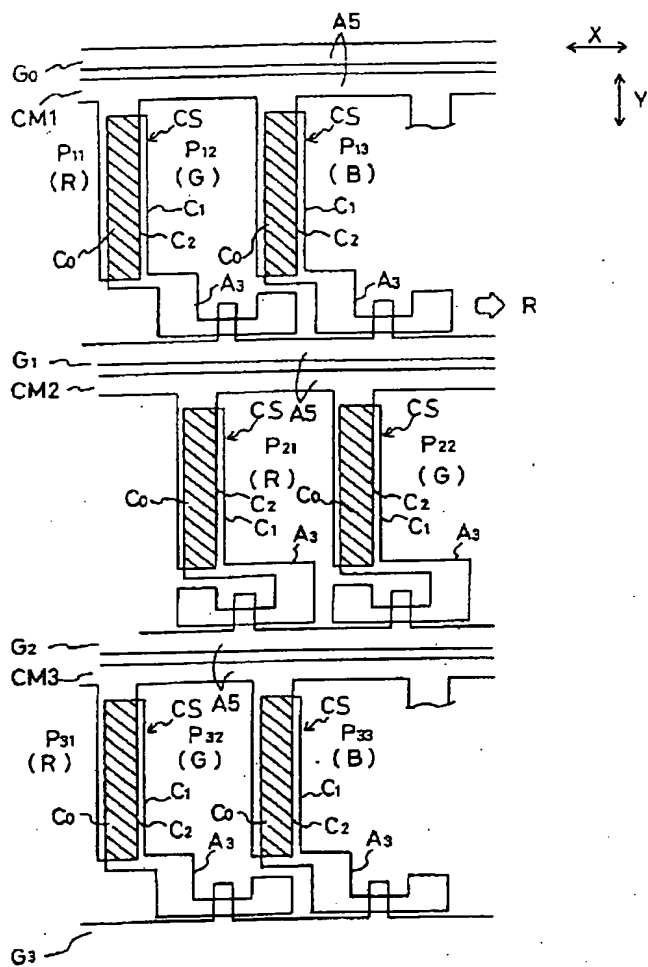
[Drawing 11]



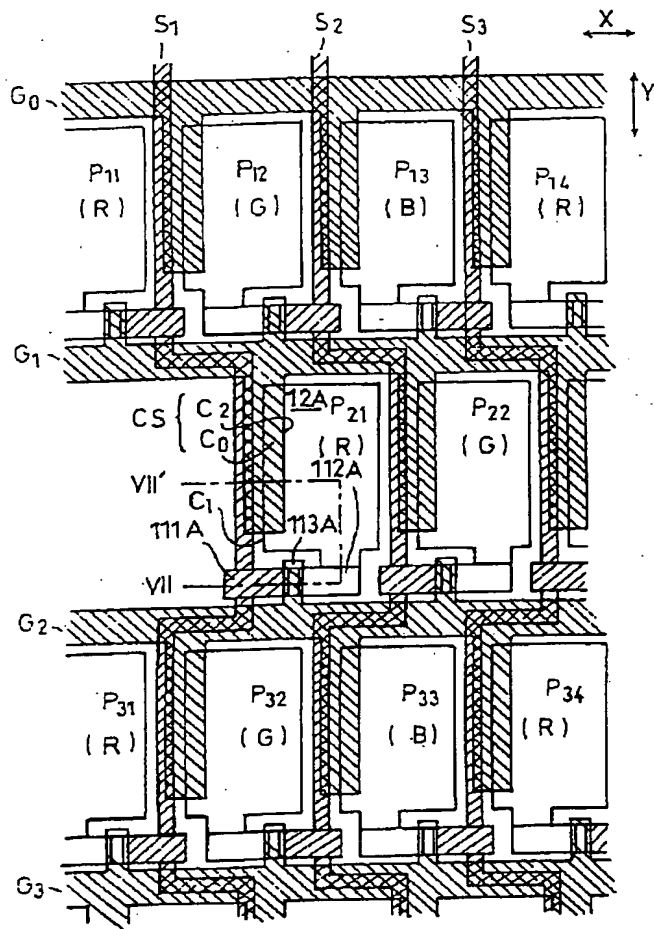
[Drawing 6]



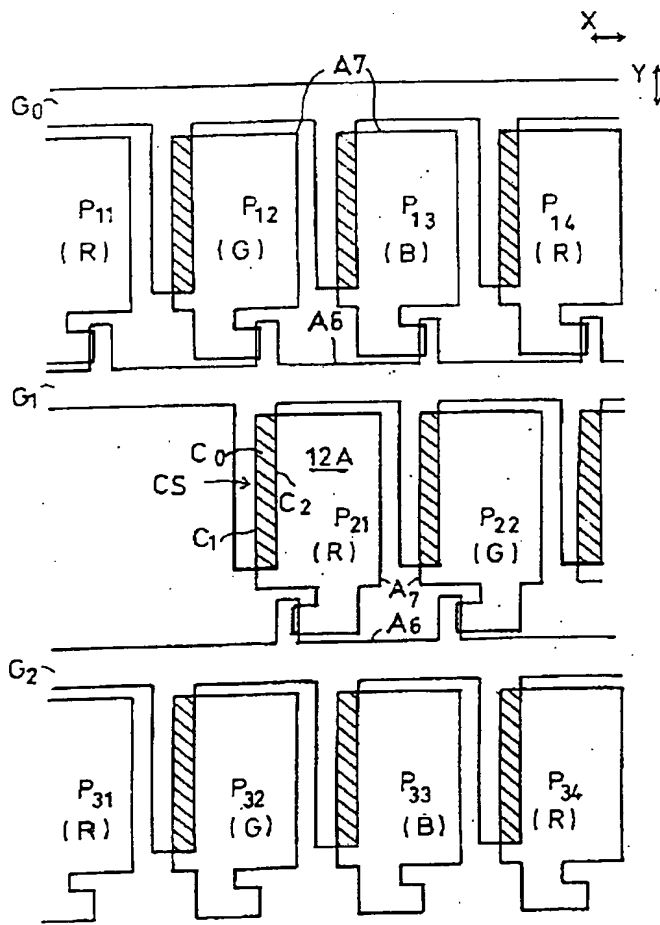
[Drawing 7]



[Drawing 9]



[Drawing 10]



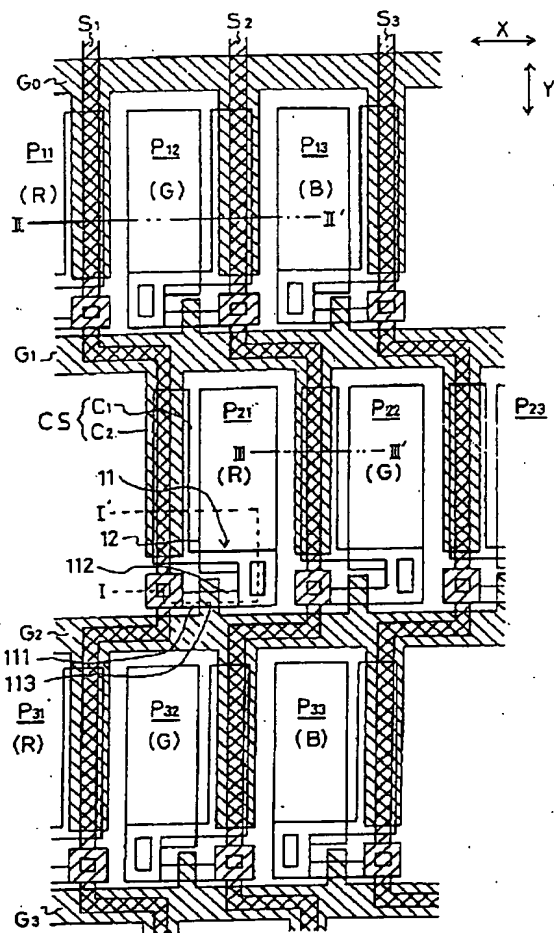
[Drawing 12]

<u>P na</u>					
R	G	B	R	G	B
	B	R	G	B	R
R	G	B	R	G	B
	B	R	G	B	R
R	G	B	R	G	B

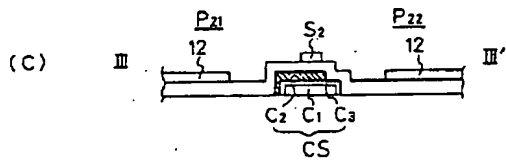
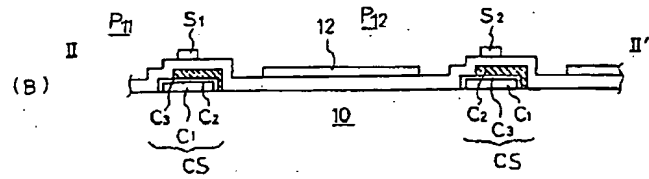
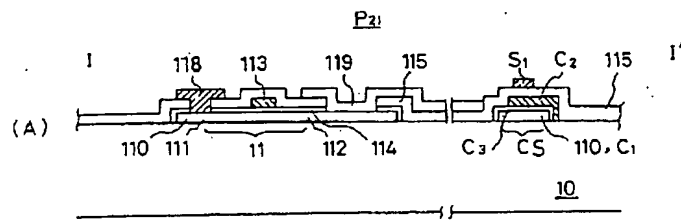
[Drawing 13]

<u>P nm</u>					
R	G	B	R	G	B
B	R	G	B	R	G
R	G	B	R	G	B
B	R	G	B	R	G
R	G	B	R	G	B

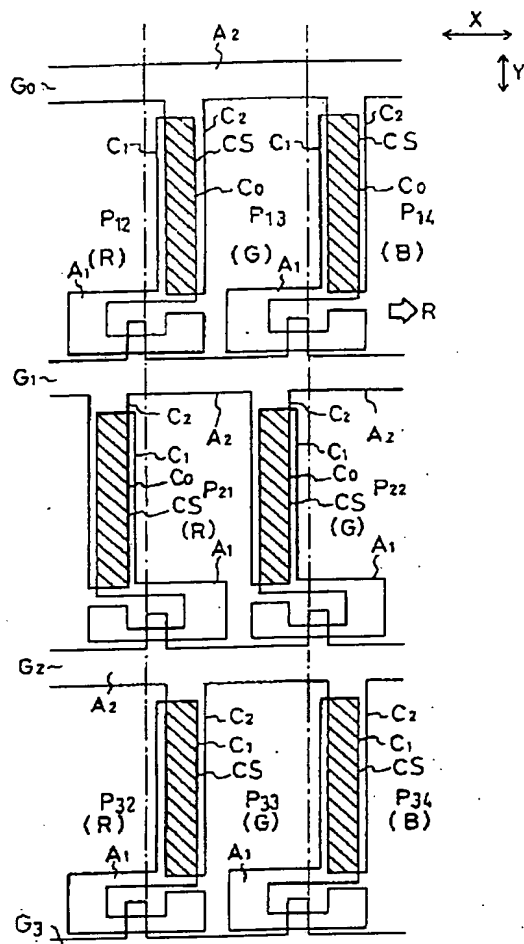
[Drawing 14]



[Drawing 15]



[Drawing 16]



[Translation done.]

(2)

1

【特許請求の範囲】

【請求項1】 X方向に延びた複数のゲート線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電氣的に接続されたゲート電極と前記ソース線に電氣的に接続されたソース領域と前記画素電極に電氣的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電氣的に接続された第1の電極部と前段のゲート線に電氣的に接続された第2の電極部とを有し前記画素電極に対応して配置された複数の保持容量コンデンサとを有し、同一のソース線に対して前記薄膜トランジスタを介して電氣的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士は、前記同一のソース線を挟んで反対側に位置するように配置され、隣接するゲート線に電氣的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置が同一であることを特徴とするアクティブマトリクス基板。

【請求項2】 X方向に延びた複数のゲート線と、X方向に延びた複数の保持容量線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電氣的に接続されたゲート電極と前記ソース線に電氣的に接続されたソース領域と前記画素電極に電氣的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電氣的に接続された第1の電極部と前記保持容量線に電氣的に接続された第2の電極部とを有し前記画素電極に対応して配置された保持容量コンデンサとを有し、同一のソース線に対して前記薄膜トランジスタを介して電氣的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士は、前記同一のソース線を挟んで反対側に位置するように配置され、隣接する保持容量線に電氣的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置が同一であることを特徴とするアクティブマトリクス基板。

【請求項3】 請求の範囲第1項又は第2項に記載されたアクティブマトリクス基板を用いたカラー液晶表示装置であって、前記画素電極に対応して形成された赤色、緑色、青色の3色のカラーフィルタが前記3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列と、前記第1のカラーフィルタ列にY方向で隣接し前記3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列とを有し、前記第1のカラーフィルタ列と前記第2のカラーフィルタ列とは、前記1単位の周期の1/2周期に相当する距離だけX方向に交互にずれた状態に配置され、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみが前記薄膜トラ

2

ンジスタを介して接続されていることを特徴とするカラー液晶表示装置。

【請求項4】 請求の範囲第1項又は第2項に記載されたアクティブマトリクス基板を用いたカラー液晶表示装置であって、前記画素電極に対応して形成された赤色、緑色、青色の3色のカラーフィルタが前記3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列と、前記第1のカラーフィルタ列にY方向で隣接し前記3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列とを有し、前記第1のカラーフィルタ列と前記第2のカラーフィルタ列とは、前記1単位の周期の1/3周期に相当する距離だけX方向に交互にずれた状態に配置され、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみが前記薄膜トランジスタを介して接続されていることを特徴とするカラー液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、液晶表示装置に用いるアクティブマトリクス基板の素子構造、特に保持容量コンデンサの構造に関するものである。また、そのアクティブマトリクス基板を用いたカラー液晶表示装置の構造に関するものである。

【背景技術】 アクティブマトリクス基板を用いたカラー液晶表示装置の基本的な構造を図1に示す。図1において、基板10の表面には、X方向に延びたゲート線G0、G1、G2...と、Y方向に延びたソース線S1、S2、S3...と、これらのソース線S1、S2、S3...とゲート線G1、G2、G3...との交点に対応する位置に配置された複数の画素電極12と、各画素電極に接続された薄膜トランジスタ(以下、「TFT」という。)11とが形成されている。

【0002】 そして、選択期間、すなわち、ゲート線G1、G2、G3...からの信号によってTFT11がオン状態である期間、には、対向基板20に形成された共通電極26、画素電極12及びそれらの間隙に封入されている液晶30で構成された液晶容量部CLCに、ソース線S1、S2、S3...から供給される画像信号が書き込まれる。一方、非選択期間、すなわち、TFT11がオフ状態である期間、には、選択期間に液晶容量部CLCに書き込まれた画像信号が保持される。

【0003】 ここで、品位の高い表示を行なうためには非選択期間における保持特性が良好であることが求められる。それには、液晶容量部CLCに対して電氣的に並列に保持容量コンデンサCSを設けることが有効である。保持容量コンデンサCSについては、前段のゲート線と画素電極12との間に保持容量コンデンサCSを設ける構成、又は別途に形成した保持容量線(図1には図示せず。)と画素電極12との間に保持容量コンデンサCSを設ける構成などが提案されている。

(3)

3

【0004】

【発明が解決しようとする課題】このようにして構成された保持容量コンデンサCS、画素電極12、TFT11、その他の付随する配線などで画素領域P11、P12、P13…が構成されている。なお、ここでは、画素領域P11と画素領域P31との間には画素領域が形成されていないが、その領域に青色用の画素領域が形成されているものやダミーの画素領域が形成されているものもある。

対向基板20には、カラーフィルタ21が形成されている。カラーフィルタ21は、一般的に、赤色フィルタR、緑色フィルタG及び青色フィルタBからなる。これらの赤色フィルタR、緑色フィルタG及び青色フィルタBは、それらを1単位として表示画面内に繰り返し配置されている。カラーフィルタ21の配列には、ストライプ配列、モザイク配列、又はデルタ配列がある。ここで、図12にはデルタ配列の色配列パターンを示し、図13にはモザイク配列の色配列パターンの一例について示す。このようなデルタ配列やモザイク配列では、各色要素が表示画面内に均一に分散するため、ストライプ配列に比較して、

なめらかな画像を表示できるという利点がある。

【0005】デルタ配列が用いられた液晶表示装置としては、特公平3-64046号公報第3図Aに開示されたものなどがあり、モザイク配列が用いられた液晶表示装置としては、同公報第8図C～Fに開示されたものなどがある。

【0006】この公報に記載された液晶表示装置のうちデルタ配列が用いられたものは、図14に示すように、赤色フィルタR、緑色フィルタG、青色フィルタBに対応する3つの画素領域P21、P22、P23が、それらを1単位としてX方向に周期的に配置されている。但し、偶数段目の画素列における画素領域P21、P22、P23は、奇数段目の画素列における画素領域P11、P12、P13、又は画素領域P31、P32、P33に対して前記1単位の1/2周期に相当する距離だけずらして配置されている。このため、奇数段目の画素列と偶数段目の画素列との間では、画素領域P11、P12、P13…の中心位置が1.5画素ピッチに相当する距離だけ左右交互にずれた状態にある。

【0007】いずれの画素領域も、基本構成が同じであるため、画素領域P21を例に説明する。画素領域P21において、TFT11のソース領域111は、ソース線S1に接続され、ゲート電極113は、ゲート線G2に接続され、ドレイン領域112は、画素電極12に接続されている。

【0008】また、画素領域P21には、TFT11のドレイン領域112及び画素電極12に電氣的に接続された第1の電極部C1と、前段のゲート線G1からY方向に張り出した構造をもつ第2の電極部C2とが形成されている。第1の電極部C1の材料は、通常、ドーブトシリ

4

コンシリコン膜が用いられている。第1の電極部C1と、第2の電極部C2とは、後述するとおり、誘電体膜を介して対向して配置されている。このようにして、画素電極12と前段のゲート線G1との間に保持容量コンデンサCSが形成されている。

【0009】また、各ソース線S1、S2、S3…は、Y方向にクランク状に曲折しながら延びているとともに、複数の色信号を同一のソース線に適切なタイミングで供給するための複雑な色切回路を不要とするため、同一のソース線に対しては、同じ色に対応する画素領域の画素電極12のみがTFT11を介して接続されている。従って、同一のソース線には、1段毎に同じ色に対応する画素領域がソース線の両側に交互に配置されることになる。例えば、ソース線S2の場合には、緑色に対応した画素領域P12、P22、P32…がソース線S2の両側に交互に配置されている。また、必然的に、TFT11とソース線の位置関係も1段毎に逆になっている。

【0010】その結果、ゲート線G1、G2、G3…に沿ってX方向に並ぶ各画素領域P11、P12、P13…の間では、TFT11、画素電極12及び保持容量コンデンサCS（第1の電極部C1及び第2の電極部C2）の相対的な形成位置は同一である一方、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32…の間では、TFT11、画素電極12及び保持容量コンデンサCSの相対的な形成位置は、一段毎に左右対称の関係になっている。例えば、ゲート線G1に接続する画素領域P11、P12、P13…と、ゲート線G2に接続する画素領域P21、P22、P23…との間では、TFT11、画素電極12及び保持容量コンデンサCSの相対的な位置関係が左右対称になっている。

【0011】このような構成のアクティブマトリクス基板の製造方法を、図15を参照して簡単に説明する。図15(A)、(B)、(C)は、それぞれ図14のI-I'断面図、II-II'断面図、III-III'断面図である。

図15(A)において、まず、基板10の上に多結晶シリコン薄膜を形成した後、フォトリソグラフィ技術によるパターニングによって、TFT11の能動領域と、保持容量コンデンサCSの第1の電極部C1とを構成する多結晶シリコン薄膜110を形成する。

次に、多結晶シリコン膜110の熱酸化により、ゲート酸化膜114と、保持容量コンデンサCSの誘電体膜C3とを形成する。次に、保持容量コンデンサCSを構成するための多結晶シリコン膜110に対してのみ、不純物を選択的にドーピングし、保持容量コンデンサCSの第1の電極部C1を形成する。

続いて、フォトリソグラフィ技術により、ゲート電極113と、保持容量コンデンサCSの第2の電極部C2とを多結晶のドーブトシリコン膜により形成する。この状態で、画素領域P21では、ゲート電極113とゲート線G2とが電氣的に接続され、第2の電極部C2と前段のゲ

50

5

ート線G1とが電氣的に接続された状態にある。

【0012】次に、ゲート電極113をマスクとしてイオンを打ち込むことにより、ソース領域111及びドレイン領域112を形成する。次に、層間絶縁膜115を形成した後、それにスルーホールを形成する。

【0013】しかる後に、ソース領域111及びドレイン領域112に対して、ソース端子118及びドレイン端子119をそれぞれ電氣的に接続する。ここで、ソース端子118は、ソース線S1に電氣的に接続され、ドレイン端子119は、画素電極12に電氣的に接続されている。

【0014】このようにして、画素領域P21にTFT11と保持容量コンデンサCSとを形成するとともに、図15(B)、(C)に示すように、画素領域P11、P12、P22にも、保持容量コンデンサCSを形成する。

【0015】しかしながら、図14に示すパターンを用いた場合には、基板10の上にフォトリソグラフィ技術によって各構成部分を形成していくとき、左右方向(X方向)にアライメントのずれが発生すると、例えば、ソース線S2に沿ってY方向に並ぶ各画素領域P12、P22、P32…では、構造パラメータが一段毎に異なってしまう。

【0016】すなわち、図16において、TFT11及び保持容量コンデンサCSの第1の電極部C1を形成するための下層側の多結晶シリコン膜の形成パターンA1と、ゲート線G1、G2、G3…、ゲート電極113及び保持容量コンデンサCSの第2の電極部C2を形成するための上層側の多結晶シリコン膜の形成パターンA2と、の重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付したとき、下層側の多結晶シリコン膜の形成パターンA1と、上層側の多結晶シリコン膜の形成パターンA2との間でアライメントが左右にずれると、ゲート線G1、G3…により選択される奇数段目の画素領域P11、P12…P31、P32…の保持容量コンデンサCS(ODD)(これらの保持容量コンデンサは、ゲート線G0、G2…に接続されている。)と、ゲート線G2、(G4)…により選択される画素領域P21、P22…の保持容量コンデンサCS(EVEN)(これらの保持容量コンデンサは、ゲート線G1、G3…に接続されている。)との間で、斜線を付した対向部分C0の面積が変動する。

図16には、左右方向にアライメントのずれがない理想の場合が示されているため、保持容量コンデンサCS(ODD)の容量値と保持容量コンデンサCS(EVEN)の容量値は等しい。

【0017】しかしながら、左右方向にアライメントのずれがある場合には、保持容量コンデンサCS(ODD)の容量値と保持容量コンデンサCS(EVEN)の容量値とは異なる値をもつ。例えば、下層側の多結晶シ

(4)

6

リコン薄膜の形成パターンA1が上層側の多結晶シリコン薄膜の形成パターンA2に対して矢印Rの方向にずれた状態に形成されると、保持容量コンデンサCS(ODD)の容量値は、大きくなるのに対し、保持容量コンデンサCS(EVEN)の容量値は、小さくなる。

【0018】その結果、N型のTFTを用いた場合には、奇数段目のゲート線G1、G3…の最適LCコモン電圧は、偶数段目のゲート線G2…の最適LCコモン電圧よりも高くなり、最適LCコモン電圧に差が発生し、ゲート線単位でフリッカが発生するという問題が生ずる。

【0019】

【課題を解決するための手段】このような問題点を解消するために、本発明の目的は、保持容量コンデンサを構成する各電極部の形成パターンを改良することにより、同一のソース線に対して各画素領域の画素電極が1段毎に左右反対側から交互に接続するような場合でも、フリッカーのないアクティブマトリクス基板を提供することにある。また、本発明の別の目的は、このように構成したアクティブマトリクス基板を用いた高品質なカラー液晶表示装置を提供することにある。

【0020】このような課題を解決するために、本発明の第1の形態では、まず、アクティブマトリクス基板に対し、X方向に延びた複数のゲート線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電氣的に接続されたゲート電極と前記ソース線に電氣的に接続されたソース領域と前記画素電極に電氣的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電氣的に接続された第1の電極部と前段のゲート線に電氣的に接続された第2の電極部とを有し前記画素電極に対応して配置された複数の保持容量コンデンサとを設ける。

【0021】そして、同一のソース線に対して前記薄膜トランジスタを介して電氣的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士については、前記同一のソース線を挟んで反対側に位置するように配置する一方、隣接するゲート線に電氣的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置を同一とすることに特徴を有する。本発明の第2の形態では、まず、アクティブマトリクス基板に対して、X方向に延びた複数のゲート線と、X方向に延びた複数の保持容量線と、X方向と直交するY方向に延びた複数のソース線と、前記ゲート線と前記ソース線との交点に対応して配置された複数の画素電極と、前記ゲート線に電氣的に接続されたゲート電極と前記ソース線に電氣的に接続されたソース領域と前記画素電極に電氣的に接続されたドレイン領域とを有し前記画素電極に対応して配置された複数の薄膜トランジスタと、前記画素電極に電氣的に接続された第

(5)

7

1の電極部と前記保持容量線に電氣的に接続された第2の電極部とを有し前記画素電極に対応して配置された保持容量コンデンサとを設ける。

【0022】そして、同一のソース線に対して前記薄膜トランジスタを介して電氣的に接続された複数の画素電極のうちY方向で隣接し合う画素電極同士については、前記同一のソース線を挟んで反対側に位置するように配置する一方、隣接する保持容量線に電氣的に接続された保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置を同一とする

ことを特徴とする。

【0023】このように構成したアクティブマトリクス基板では、Y方向に隣接する保持容量コンデンサ同士の間で、前記第2の電極部に対する前記第1の電極部の相対的な形成位置が同一であるため、各構成部分をフォトリソグラフィ技術を用いて形成するとき、アライメントのずれが発生しても、それらの保持容量コンデンサ同士の間で、第1の電極部と第2の電極部との対向面積に差が発生せず、それらの保持容量コンデンサの容量値を均一にすることができる。

【0024】それ故、液晶表示装置にこのような構成のアクティブマトリクス基板を用いることによって、隣接する保持容量コンデンサ間で保持容量値が相違することによるゲート線単位でのフリッカーの発生を防止することができる。

【0025】本発明において、前記のアクティブマトリクス基板を用いてデルタ配列のカラー液晶表示装置を構成する場合には、まず、画素電極に対応して形成された赤色、緑色、青色の3色のカラーフィルタが前記の3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列と、この第1のカラーフィルタ列にY方向で隣接し前記の3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列とを設ける。そして、第1のカラーフィルタ列と第2のカラーフィルタ列とを前記の1単位周期の1/2周期に相当する距離だけX方向に交互にずれた状態に配置するとともに、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみを接続する。

【0026】また、本発明において、前記のアクティブマトリクス基板を用いてモザイク配列のカラー液晶表示装置を構成する場合には、デルタ配列の場合とは異なり、第1のカラーフィルタ列と第2のカラーフィルタ列とを前記の1単位周期の1/3周期に相当する距離だけX方向に交互にずれた状態に配置するとともに、同一のソース線に対しては、同色のカラーフィルタに対応する画素電極のみを接続する。

【0027】

【発明の実施の形態】〔第1の実施例〕図1は、アクティブマトリクス基板を用いたカラー液晶表示装置の基本的な構成を示す図である。図2は、本実施例の液晶表示

8

装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。なお、本実施例のアクティブマトリクス基板は、従来のアクティブマトリクス基板と画素領域内における各構成部分の形成パターンのみが相違し、その他の部分は同様であるので、共通する機能を有する構成部分については、同じ符号を付してその詳細な説明を省略する。

【0028】図1において、本実施例のカラー液晶表示装置では、アクティブマトリクス基板を構成する透明な基板10の表面に、X方向に延びるゲート線G0、G1、G2・・・と、Y方向に延びるソース線S1、S2、S3・・・との交点に対応して画素領域P11、P12、P13・・・が形成されている。そして、各画素領域P11、P12、P13・・・において、ソース線S1、S2、S3・・・に対してTFT11を介して透明な画素電極12が接続されている。そして、ゲート線G1、G2、G3・・・からの信号によってTFT11がオン状態である期間(選択期間)には、液晶容量部CLCに、ソース線S1、S2、S3・・・から供給される画像信号が書き込まれる。一方、TFT11がオフ状態である期間(非選択期間)には、選択期間に液晶容量部CLCに書き込まれた画像信号が保持される。

【0029】ここで、品位の高い表示を行なうためには非選択期間における保持特性が良好であることが求められる。そこで、ゲート線G0、G1、G2・・・のうち前段のゲート線と画素電極12との間には、保持容量コンデンサCSが構成されている。ゲート線G0、G1、G2・・・のうち、ゲート線G0には、TFT11のゲート電極が接続されていないので、ゲート線G0は、実質的には専用の容量線である。

【0030】なお、基板10及び対向基板20の外側には、偏光板41、42が配置されている。

【0031】対向基板20には、カラーフィルタ21が形成されている。カラーフィルタ21は、一般的に、赤色フィルタR、緑色フィルタG、青色フィルタBからなる。各画素領域P11、P12、P13・・・の画素電極12は、それぞれこれらの3色のカラーフィルタ21に対応して配置されている。本実施例のカラーフィルタ21の配列は、デルタ配列(図12)である。すなわち、対向基板20では、赤色(R)、緑色(G)、青色

(B)の3色のカラーフィルタが、これら3色を1単位としてX方向に周期的に配列された第1のカラーフィルタ列F1(奇数段目のカラーフィルタ列)と、このカラーフィルタ列にY方向で隣接し、前記の3色を1単位としてX方向に周期的に配列された第2のカラーフィルタ列F2(偶数段目のカラーフィルタ列)とが形成され、第1のカラーフィルタ列F1と第2のカラーフィルタ列F2とは、前記の1単位周期の1/2周期に相当する距離だけX方向に交互にずれて配置されている。このように構成したデルタ配列では、各色要素が画面内で均一に

9

分散しているので、なめらかな画像品質が要求される画像表示用に特に適している。

【0032】このように構成したカラーフィルタの配列に対応して、アクティブマトリクス基板では、図2及び図3に示すように、赤色フィルタR、緑色フィルタG、青色フィルタBに対応する3つの画素領域P11、P12、P13がそれらを1単位としてX方向に周期的に配置された第1の画素列(奇数段目の画素列)が形成されている。また、第1の画素列にY方向において隣合う第2の画素列(偶数段目の画素列)では、同じ1単位に相当する画素領域P21、P22、P23が第1の画素列に対して1/2周期に相当する距離だけX方向にずれるように配置されている。また、第2の画素列にY方向において隣合う画素列(奇数段目の画素列)において、同じ1単位に相当する画素領域P31、P32、P33は、画素領域P21、P22、P23に対して反対の方向に1/2周期に相当する距離だけずれるように配置されている。このため、画素領域P31、P32、P33を含む画素列は、画素領域P11、P12、P13を含む画素列をY方向にそのまま平行移動した状態にある。従って、各画素領域P11、P12、P13・・・の中心位置は、Y方向において1.5画素ピッチだけ一段毎に左右交互にずれた状態にある。

【0033】各ソース線S1、S2、S3・・・は、クランク状に曲折しながらY方向延びている。そして、同一のソース線に対しては、同じ色に対応する画素のみが接続している。従って、同一のソース線からは、赤色、緑色、青色のいずれか一色の表示を行なうための信号のみが供給すればよい構成になっている。なお、本実施例では、クランク状に曲折しながらY方向に延びたソース線を用いたが、その代わりに、曲線状に蛇行しながらY方向に延びたソース線を用いてもよい。

【0034】いずれの画素領域も、基本的な構成が同じであるため、画素領域P21を例に説明する。図2からわかるように、TFT11のゲート電極113はゲート線G2に接続され、ソース領域111はソース線S1に接続され、ドレイン領域112は画素電極12に接続されている。画素領域P21には、ドレイン領域112と画素電極12とに電気的に接続された第1の電極部C1が形成され、第1の電極部C1はドープドシリコン膜で形成されている。また、前段のゲート線G1からY方向に延びた第2の電極部C2が形成されている。

【0035】第1の電極部C1と第2の電極部C2とは、誘電体膜を介して対向しており、前段のゲート線G2と画素電極12との間に保持容量コンデンサCSが形成されている状態にある。

【0036】このように構成したアクティブマトリクス基板では、クランク状のソース線S1、S2、S3・・・に対して、画素領域P11、P12、P13・・・のうち、デルタ配列された各カラーフィルタ21の同じ色

(6)

10

に対応する画素領域の画素電極12のみが接続されている。このため、同一のソース線S2には、Y方向において、緑色(R)に対応する画素領域P12、P22、P32・・・の画素電極12が左右反対側から交互に接続されている。その他のソース線S1、S3・・・でも同様である。

【0037】ここで、ゲート線G1に沿ってX方向に並ぶ各画素領域P11、P12、P13・・・の間では、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一である。また、ゲート線G2に沿ってX方向に並ぶ各画素領域P21、P22、P23・・・の間でも、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一である。

【0038】これに対し、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32・・・の間では、TFT11及び画素電極12の相対的な形成位置が一段毎に左右反転するパターンになっている。すなわち、ゲート線G1に接続する奇数段目の画素領域P11、P12、P13・・・と、ゲート線G2に接続する偶数段目の画素領域P21、P22、P23・・・の間では、TFT11及び画素電極12の形成パターンが左右対称になっている。

【0039】しかしながら、保持容量コンデンサCSは、いずれの画素領域においても同じ相対位置に形成されている。言い替えると、画素領域における保持容量コンデンサCSの相対位置は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。

【0040】また、保持容量コンデンサCSの第1の電極部C1と、前段のゲート線G0、G1、G2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、各画素領域P12、P22、P32・・・の間でX方向及びY方向のいずれの方向においても同一である。

【0041】例えば、ゲート線G1に接続する画素領域P12では、前段のソース線S1が通る領域に保持容量コンデンサCSが形成されている。同様に、ゲート線G3に接続する画素領域P32でも、前段のソース線S1が通る領域に保持容量コンデンサCSが形成されている。従って、ゲート線G1、G3に接続するいずれの画素領域P11、P12・・・P31、P32・・・でも、保持容量コンデンサCSの第1の電極部C1は、TFT11のドレイン領域112との接続位置から画素電極12の左側領域にまでそのまま延びおり、この左側領域において、前段のゲート線G0、G2から張り出す第2の電極部C2に重なっている。

【0042】これに対して、ゲート線G2に接続する画素領域P22では、画素領域P22自身が接続するソース線S2が通る領域に保持容量コンデンサCSが形成さ

(7)

11

れている。従って、ゲート線G2に接続するいずれの画素領域P21、P22・・・でも、保持容量コンデンサCSの第1の電極部C1は、TFT11のドレイン領域112との接続位置からソース領域111に向かって一旦折り返し、ソース領域111付近からは、奇数段目の画素領域P11、P12・・・P31、P32・・・と同様、画素電極12の左側領域にまで延びている。そして、この左側領域において、前段のゲート線G1から張り出す第2の電極部C2に重なっている(図3)。

【0043】このような構成のアクティブマトリクス基板の製造方法を、図4を参照して説明する。図4

(A)、(B)、(C)は、それぞれ図2のIV-IV'断面図、V-V'断面図、VI-VI'断面図である。

【0044】図4(A)において、まず、フォトリソグラフィ技術により、石英ガラスからなる基板10の上にTFT11の能動領域と保持容量コンデンサCSの第1の電極部C1とを形成するための多結晶シリコン薄膜110を形成する。

【0045】次に、多結晶シリコン膜110の熱酸化により、ゲート酸化膜114と、保持容量コンデンサCSの絶縁膜C3とを形成する。次に、保持容量コンデンサCSを形成するための多結晶シリコン膜110に対してのみ、不純物を選択的にドーピングすることによって、保持容量コンデンサCSの第1の電極部C1を形成する。

【0046】続いて、フォトリソグラフィ技術により、ゲート電極113と、保持容量コンデンサCSの第2の電極部C2とを多結晶のドーブトシリコン薄膜から形成する。この状態で、画素領域P21では、ゲート電極113がゲート線G2に電氣的に接続され、第2の電極部C2が前段のゲート線G1に電氣的に接続された状態にある。

【0047】次に、ゲート電極113をマスクとしてイオンを打ち込んで、ソース領域111及びドレイン領域112を形成する。次に、層間絶縁膜115を形成した後、それにスルーホールを形成する。

【0048】しかる後に、ソース領域111及びドレイン領域112に対してソース端子118及びドレイン端子119をそれぞれ電氣的に接続する。ここで、ソース端子118は、ソース線S1に電氣的に接続され、ドレイン端子119は、画素電極12に電氣的に接続される。

【0049】このようにして、画素領域P21にTFT11と保持容量コンデンサCSとを形成するとともに、図4(B)、(C)に示すように、画素領域P11、P12、P22にも、保持容量コンデンサCSを形成する。

【0050】このような製造方法において、フォトリソグラフィ技術によって基板10の上に各構成部分を形成していくとき、左右方向(X方向)にパターンマスクのア

12

ライメントのずれが発生しても、本実施例では、各画素領域P11、P12、P13・・・において、構造パラメータが一段毎に異なってしまうことがない。すなわち、図5において、TFT11及び保持容量コンデンサCSの第1の電極部C1を形成するための下層側の多結晶シリコン膜の形成パターンA3と、ゲート線G1、G2、G3・・・、ゲート電極113及び保持容量コンデンサCSの第2の電極部C2を形成するための上層側の多結晶シリコン膜の形成パターンA4との重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付して表したとき、多結晶シリコン膜の形成パターンA3と、多結晶シリコン膜の形成パターンA4との間でアライメントがX方向にずれても、ゲート線G1、G3・・・に接続する画素領域P11、P12・・・P31、P32・・・(奇数段目の画素領域)の保持容量コンデンサCS(ODD)(これらの保持容量コンデンサは、ゲート線G0、G2、G3・・・に接続されている。)と、ゲート線G2・・・に接続する画素領域P21、P22・・・(偶数段目の画素領域)の保持容量コンデンサCS(EVEN)(これらの保持容量コンデンサは、ゲート線G1、G3、G5・・・に接続されている。)との間で対向部分C0の面積が変動しない。

【0051】例えば、多結晶シリコン薄膜の形成パターンA3が多結晶シリコン薄膜の形成パターンA4に対して矢印Rの方向に少々ずれた状態に形成されても、奇数段目の画素領域P11、P12・・・P31、P32・・・及び偶数段目の画素領域P21、P22・・・の双方において、各保持容量コンデンサCSにおける第1の電極部C1と第2の電極部C2との対向部分C0の面積が小さくなるだけである。逆に、多結晶シリコン薄膜の形成パターンA3が多結晶シリコン薄膜の形成パターンA4に対して矢印Lの方向に少々ずれた状態に形成されても、奇数段目の画素領域P11、P12・・・P31、P32・・・及び偶数段目の画素領域P21、P22・・・の双方において、各保持容量コンデンサCSにおける第1の電極部C1と第2の電極部C2との対向部分C0の面積が大きくなるだけである。

【0052】また、アライメントが多少上下方向(Y方向)にずれても、各保持容量コンデンサCSにおける第1の電極部C1と第2の電極部C2との対向部分C0の面積は、変化しない。

【0053】このように、本実施例のアクティブマトリクス基板では、多結晶シリコン膜の形成パターンA3と、多結晶シリコン膜の形成パターンA4との間でアライメントが左右方向(X方向)又は上下方向(Y方向)にずれても、各画素領域P11、P12・・・P21、P22・・・P31、P32・・・の間で、各保持容量コンデンサCSの容量値が常に等しいので、奇数段目のゲート線G1、G3・・・の最適LCコモン電圧と、偶数段目のゲート線G2、・・・の最適LCコモン電圧と

(8)

13

は、常に同一である。それ故、全体的な最適LCコモン電圧を設定できるので、ゲート線単位でのフリッカーを防止することができる。

【0054】さらに、本実施例では、ソース線S1、S2、S3に沿ってY方向に並ぶ画素領域P11、P12、P13・・・の間において、TFT11及び画素電極12の相対的な形成位置を一段毎に左右反転させているだけで、保持容量コンデンサCSを形成するための第1の電極部C1の形成位置及び形状が異なるだけである。従って、第1の電極部C1と第2の電極部C2との相対的な位置関係を最適化するだけで、第1の電極部C1及び第2の電極部C2を形成する際のアライメントずれに起因するフリッカを防止している。それ故、各構成部分の形成領域や大きさに制限がある場合にも適用できるので、高精細及び高密度の液晶表示装置を実現する際に特に有利である。

【0055】また、奇数段目のゲート線G1、G3・・・に対応する画素領域P11、P12・・・と、偶数段目のゲート線G2・・・に対応する画素領域P21、P22・・・との間において、第1の電極部C1以外の構成部分のパターンは、実質的に同一である。それ故、対向基板20とアクティブマトリクス基板とのアライメントずれ、又はアクティブマトリクス基板上でのアライメントずれが発生しても、奇数段目のゲート線G1、G3・・・に対応する画素領域P11、P12・・・と、偶数段目のゲート線G2・・・に対応する画素領域P21、P22・・・の間では、開口率の差も軽減され、それによる横ラインむらを防止することもできる。

【0056】〔第2の実施例〕図6は、本実施例の液晶表示装置のアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。なお、本実施例のアクティブマトリクス基板は、第1の実施例に係るアクティブマトリクス基板と保持容量コンデンサの部分のみが相違し、その他の部分は同様であるため、対応する機能を有する構成部分には同じ符号を付してある。

【0057】第1の実施例では、各保持容量コンデンサCSの第2の電極部C2を形成するのに、前段のゲート線を利用する構造であったが、本実施例では、定電位の保持容量線CM1、CM2、CM3・・・がゲート線G1、G2、G3・・・と並列にX方向に延びた状態に形成され、保持容量コンデンサCSは、保持容量線CM1、CM2、CM3・・・を利用して第2の電極部C2を構成している。

【0058】なお、本実施例の液晶表示装置でも、第1の実施例と同様に、赤色、緑色、青色に対応する3つ各画素領域P21、P22、P23が、それらを1単位としてX方向に周期的に配置されている。また、Y方向で隣接する画素列でも、同じく1単位に相当する画素領域P11、P12、P13及び画素領域P31、P32、P33が左右交互に1/2周期ずつずらして配置されて

14

いる。

【0059】ここで、各ソース線S1、S2、S3・・・は、クランク状に形成されている。また、同一のソース線に対しては、同じ色に対応する画素領域の画素電極のみが接続している。従って、同一のソース線からは、赤色、緑色、青色のいずれか一色の表示を行なうための信号のみが供給すればよい構成になっている。

【0060】また、いずれの画素領域も基本的な構成が同一であるため、画素領域P21を例に説明すると、画素領域P21には、ドレイン領域112及び画素電極12に電氣的に接続するドーパドシリコン膜からなる第1の電極部C1が形成され、保持容量線CM2からは、Y方向に延びる第2の電極部C2が形成されている。第1の電極部C1と、第2の電極部C2とは、誘電体膜を介して対向しており、画素領域P21では、画素電極12と保持容量線CM2との間に保持容量コンデンサCSが構成されている。

【0061】このように構成したアクティブマトリクス基板では、クランク状のソース線に対して、デルタ配列された各カラーフィルタ21の同じ色に対応する画素領域P11、P12、P13・・・の画素電極12のみが接続され、同一のソース線S2に対しては、画素領域P12、P22、P32の画素電極12が左右反対側から接続している。その他のソース線S1、S3・・・でも同様である。

【0062】従って、第1の実施例と同様、X方向に並ぶ各画素領域P11、P12、P13・・・の間では、TFT11、画素電極12及び保持容量コンデンサCS（第1の電極部C1及び第2の電極部C2）の相対的な形成位置が同一である一方、Y方向においては、画素領域P12、P22、P32・・・におけるTFT11及び画素電極12の相対的な形成位置が一段毎に左右反転している。

【0063】しかしながら、保持容量コンデンサCSは、いずれの画素領域においても同じ相対位置に形成されている。言い替えると、画素領域における保持容量コンデンサCSの相対位置は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。

【0064】また、保持容量コンデンサCSの第1の電極部C1と、保持容量線CM1、CM2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。すなわち、各画素領域の間で同一である。

【0065】このような構成のアクティブマトリクス基板の製造方法は、第1の実施例とほぼ同様であり、ゲート電極113、ゲート線G1、G2、G3・・・を形成するときに、保持容量線CM1、CM2、CM3・・・とそれらから張り出す第2の電極部C2とを同時に形成する点だけが相違する。

【0066】従って、図7において、TFT11及び保

15

保持容量コンデンサCSの第1の電極部C1を形成するための下層側の多結晶シリコン膜の形成パターンA3と、ゲート線G1、G2、G3・・・、ゲート電極113、保持容量線CM1、CM2、CM3・・・及び保持容量コンデンサCSの第2の電極部C2を形成するための上層側の多結晶シリコン膜の形成パターンA5との重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付して表したとき、多結晶シリコン膜の形成パターンA3と、多結晶シリコン膜の形成パターンA5との間でアライメントが左右方向(X方向)にずれても、各画素領域P11、P12・・・P21、P22・・・P31、P32・・・の間で、斜線を付した対向部分C0の面積(保持容量コンデンサCSの容量値)が常に等しくなる。それ故、本実施例によれば、ゲート線単位でのフリッカーを防止することができるなど、第1の実施例と同様な効果を有する。

【0067】〔第3の実施例〕第1及び第2の実施例では、いずれもスイッチング素子として、コプラナ型のTFTを用いたが、本実施例では、これに代えて逆スタガ型のTFTを用いてある。

【0068】図8は、アモルファスシリコン膜を能動層に用いたTFT及び保持容量コンデンサの断面図である。図8において、ガラス製の基板10Aの表面側には、下地膜110Aの上にタンタル膜からなるゲート電極113Aが形成され、その表面には、ゲート絶縁膜としてのタンタル酸化物114Aが形成されている。タンタル酸化物114Aの表面には、シリコン窒化物114Bが形成され、タンタル酸化物114Aとシリコン窒化物114Bとがゲート絶縁膜として機能するようになっている。シリコン窒化物114Bの表面側には、チャンネルを形成するための真性のアモルファスシリコン膜117Aが形成されている。真性のアモルファスシリコン膜117Aの表面側には、高濃度のN型のアモルファスシリコン膜116Aが形成されている。N型のアモルファスシリコン膜116Aは、ゲート電極113Aと対峙する部分がエッチングされ、ソース領域111Aとドレイン領域112Aとに分割されている。ソース領域111Aには、モリブデン層118Aを介してアルミニウム電極層118Bが形成されており、このアルミニウム電極層118Bは、ソース線S1、S2、S3・・・に接続されている。ドレイン領域112Aには、ITO膜からなる画素電極12Aが接続されている。

【0069】画素電極12A(ITO膜)は、図9に示すように、画素領域P11、P12、P13・・・の端部にまで形成されており、そこで、画素電極12Aの端部は、保持容量コンデンサCSの第1の電極部C1になっている。

【0070】第1の電極部C1の下層側には、ゲート絶縁膜と同時に形成されたタンタル酸化物114Aとシリコン窒化物114Bとからなる保持容量コンデンサCS

(9)

16

の誘電体膜C3が形成されている。誘電体膜C3の下層側には、ゲート電極113Aと同時に形成されたタンタル膜が形成されており、このタンタル膜は、保持容量コンデンサCSの第2の電極部C2になっている。

その他の構成は、第1の実施例と略同様になっているため、その詳細な説明を省略する。本実施例でも、図9に示すように、画素領域P11、P12、P13・・・は、デルタ配列のカラーフィルタ21に対応して配置されている。ここで、同一のソース線S1、S2、S3・・・に対しては、同じ色に対応する画素領域P11、P12、P13・・・の画素電極12Aのみが接続されている。このため、同一のソース線S2には、緑色(R)に対応する画素領域P12、P22、P32・・・がソース線S2の左右反対側から交互に接続している。

【0071】この場合でも、第1の実施例と同様に、例えば、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32・・・では、保持容量コンデンサCSの形成位置が画素領域内の同じ位置にある。すなわち、保持容量コンデンサCSの第1の電極部C1は、画素電極12Aの端部で構成されている点で実施例1と相違するが、この第1の電極部C1と、前段のゲート線G0、G1、G2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、画素領域P11、P12、P13・・・の間でX方向及びY方向のいずれの方向においても一致するように設定されている。それ故、図10において、画素電極12A及び保持容量コンデンサCSの第1の電極部C1を形成するためのITO膜の形成パターンA7と、ゲート線G1、G2、G3・・・、ゲート電極113A及び保持容量コンデンサCSの第2の電極部C2を形成するためのタンタル膜の形成パターンA6との重なり部分を保持容量コンデンサCSの対向部分C0として斜線を付して表したとき、ITO膜の形成パターンA7とタンタル膜の形成パターンA6を形成する際に、左右方向(X方向)にアライメントずれが発生しても、奇数段目のゲート線G1、G3・・・に接続する画素領域P11、P12・・・P31、P32・・・の保持容量コンデンサCSと、ゲート線G2・・・に接続する画素領域P21、P22・・・の保持容量コンデンサCSとの間では、斜線を付した対向部分C0の面積(保持容量コンデンサCSの容量値)は等しい。それ故、本実施例によれば、ゲート線単位でのフリッカーの発生を防止できるなど、第1の実施例と同様な効果を有する。

【0072】なお、本実施例では、第2の電極部C2を形成するにあたって、第1の実施例と同様、前段のゲート線G0、G1、G2、G3・・・を用いたが、第2の実施例のように、専用の保持容量線CM1、CM2、CM3・・・を形成し、それを用いて、保持容量コンデンサCSを構成してもよい。

【0073】〔第4の実施例〕第1ないし第3の実施例

(10)

17

は、デルタ配列のカラーフィルタを用いた液晶表示装置についての実施例であるが、本実施例は、モザイク配列のカラーフィルタを用いた液晶表示装置についての実施例である。なお、本実施例では、カラーフィルタがモザイク配列になっているため、画素が格子状に配置されているが、その他の部分は、第1の実施例と同様であるため、対応する部分には、同じ符号を付してそれらの詳細な説明を省略する。

【0074】図11は、本実施例のアクティブマトリクス基板の各構成部分のパターンを示した図である。透明な基板の表面には、X方向に延びるゲート線G1、G2、G3・・・とY方向に延びるソース線S1、S2、S3・・・との交点に対応して画素領域P11、P12、P13・・・が形成されている。これらの画素領域P11、P12、P13・・・では、ソース線S1、S2、S3・・・に対し、スイッチング素子としてのTFT11を介して透明な画素電極12が接続されている。また、液晶容量部CLCでの保持特性を向上するために、前段のゲート線G0、G1、G2、G3・・・と画素電極12との間には、保持容量コンデンサCSが形成されている。

【0075】このような構成は、第1ないし第3の実施例のように、カラーフィルタ21がデルタ配列の場合と同じであるが、本実施例では、赤色R、緑色G、青色Bのカラーフィルタ21がモザイク配列で形成されているため、赤色R、緑色G、青色Bのカラーフィルタ21に対応するように、画素領域P11、P12、P13・・・が配列されている。図11では、各画素領域P11、P12、P13・・・に、それに対応するカラーフィルタの色の種類を(R)(G)(B)で示してある。ここで、赤色、緑色、青色の3色のカラーフィルタは、図13に示したように、これら3色を1単位としてX方向に周期的に配列されている。ここで、第1のカラーフィルタ列F1(奇数段目のカラーフィルタ列)と第2のカラーフィルタ列F2'(偶数段目のカラーフィルタ列)とは、前記の1単位周期の1/3周期に相当する距離だけX方向に交互にずれた状態にある。

【0076】このようなカラーフィルタの配列に対応して、ゲート線G1に接続する画素領域P11、P12、P13・・・では、赤色R、緑色G、青色Bのカラーフィルタ21に対応する3つの画素領域P11、P12、P13を1単位としてX方向に直線的に繰り返し配置され、第1の画素列(奇数段目の画素列)が形成されている。また、ゲート線G2に接続する画素領域P21、P22、P23・・・からなる第2の画素列(偶数段目の画素列)でも、赤色R、緑色G、青色Bに対応する3つの画素領域P21、P22、P23を1単位としてX方向に直線的に繰り返し配置されている。ここで、第1の画素列(奇数段目の画素列)と第2の画素列(偶数段目の画素列)との間では、赤色R、緑色G、青色Bのカラ

18

ーフィルタ21に対応する3色の画素領域を1単位として周期的に配列したときの1/3周期に相当する距離だけX方向に、かつ交互にずれるように配置されている。その結果、各画素領域P11、P12、P13・・・の中心位置は、一段毎に1画素ピッチだけ左右交互にずれた状態にある。

このように構成したアクティブマトリクス基板では、デルタ配列と相違して、各ソース線S1、S2、S3・・・のうち、同一のソース線に対して同じ色に対応する画素領域の画素電極のみが接続する場合でも、ソース線S1、S2、S3・・・は、Y方向に向かって各画素領域の間を直線的に延びるように形成される。

【0077】ここで、同一のソース線、例えば、ソースS2には、画素領域P12、P22、P32・・・の画素電極12が左右反対側から交互に接続されるのは、第1ないし第3の実施例と同様である。従って、X方向に並ぶ各画素領域P11、P12、P13・・・の間では、TFT11、画素電極12及び保持容量コンデンサCS(第1の電極部C1及び第2の電極部C2)の相対的な形成位置が同一であるが、ソース線S2に沿ってY方向に並ぶ画素領域P12、P22、P32・・・の間では、TFT11及び画素電極12の相対的な形成位置が一段毎に左右に反転している。

【0078】しかしながら、保持容量コンデンサCSは、いずれの画素領域においても同じ相対位置に形成されている。言い替えると、画素領域における保持容量コンデンサCSの相対位置は、Y方向に隣接する保持容量コンデンサ同士の間で同一である。

【0079】また、保持容量コンデンサCSの第1の電極部C1と、前段のゲート線G0、G1、G2・・・から張り出す第2の電極部C2との間における相対的な位置関係は、各画素領域P12、P22、P32・・・の間でX方向及びY方向のいずれの方向においても同一である。それ故、保持容量コンデンサCSの第1の電極部C1と、第2の電極部C2とを形成する際に、左右方向(X方向)又は上下方向(Y方向)のアライメントずれが発生した場合も、奇数段目のゲート線G1、G3・・・に対応する画素領域P11、P12、P13・・・と、偶数段目のゲート線G2・・・に対応する画素領域P21、P22、P23・・・との間で保持容量コンデンサCSの容量値が等しいので、ゲート線単位でのフリッカーの発生を防止できるなど、第1の実施例と同様な効果を有する。

なお、第1の実施例と同様に、前段のゲート線G0、G1、G2、G3・・・の一部を保持容量コンデンサCSの第2の電極部C2に用いたが、第2の実施例のように、専用の保持容量線CM1、CM2、CM3・・・を形成し、その一部を保持容量コンデンサCSの第2の電極部C2に用いてもよい。

【0080】また、TFT11としては、コプラナ型の

(11)

19

TFTに限らず、第3の実施例のように、逆スタガ型のTFTを用いてもよい。

【0081】〔その他の実施例〕本発明のアクティブマトリクス基板は、モノクロ液晶表示装置に用いた場合にも、カラー液晶表示装置の場合と同様に、アライメントずれに起因するフリッカを防止することができる。

【0082】また、各実施例においては、透明なITO電極を用いたが、アルミニウム電極等を画素電極として用いた反射型の液晶表示装置にも同様に本発明を適用できる。

さらに、TFTに代えて、MIM(Metal-Insulator-Metal)構造のダイオードをスイッチング素子として用いたアクティブマトリクス基板にも本発明を適用できる。すなわち、Y方向に隣接する保持容量コンデンサ同士で、保持容量コンデンサの第1の電極部と第2の電極部との相対的な形成位置を同一とすれば、実施例1ないし4と同じ効果を有する。

【0083】〔産業上の利用可能性〕以上のとおり、本発明においては、アクティブマトリクス基板の保持容量コンデンサを構成する第1の電極部と第2の電極部の構造を、各画素領域間で平行移動すれば重ね合わせることでできるパターン、すなわち、第1の電極部と第2の電極部との相対的な位置関係を各画素領域間で同一にしたことに特徴を有する。従って、本発明によれば、第1の電極部及び第2の電極部を形成する際にアライメントずれがあっても、保持容量コンデンサの容量値は等しくなる。それ故、奇数のゲート段と偶数のゲート段との間で保持容量コンデンサの容量値の差をなくすことができ、フリッカーを軽減することができる。

【0084】また、画素領域では、第1の電極部及び第2の電極部の形成位置や占有面積が限られているが、本発明によれば、第1の電極部と第2の電極部との相対的な位置関係を最適化するだけで、第1の電極部及び第2の電極部を形成する際のアライメントずれに起因するフリッカを防止できる。それ故、高精細及び高密度の液晶表示装置を実現するには、特に有利である。

さらに、奇数のゲート段に対応する画素領域と偶数のゲート段に対応する画素領域との間では、第1の電極部の形成パターンだけが相違し、その他の構成部分のパターンが実質的に等しい。それ故、カラーフィルタを備える対向基板とアクティブマトリクス基板とのアライメントずれ、又はアクティブマトリクス基板上でのアライメントずれが発生しても、奇数のゲート段に接続する画素領域と偶数のゲート段に接続する画素領域との間で開口率の差もなくなり、横ラインむらを効果的に防止することができる。

【図面の簡単な説明】

20

【図1】アクティブマトリクス基板を用いたカラー液晶表示装置の基本的な構成を示す図である。

【図2】第1の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図3】図2に示す形成パターンの模式図である。

【図4】(A)は、図2のIV-IV'線における断面図、(B)は図2のV-V'線における断面図、(C)は、図2のVI-VI'線における断面図である。

10 【図5】図2に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成する各シリコン膜の形成パターンを模式的に示す平面図である。

【図6】第2の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図7】図6に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成する各シリコン膜の形成パターンを模式的に示す平面図である。

【図8】第3の実施例に係る液晶表示装置に用いたアクティブマトリクス基板のTFTとして用いた逆スタガ型のTFTの断面図である。

【図9】第3の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図10】図9に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成するタンタル膜及びITO膜の形成パターンを模式的に示す平面図である。

【図11】第4の実施例に係る液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図12】デルタ配列の色配列パターンを示す図である。

【図13】モザイク配列の色配列パターンの一例を示す図である。

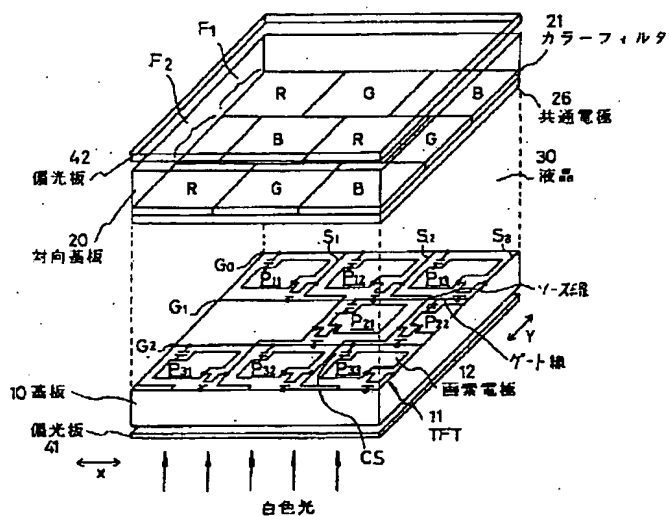
【図14】従来の液晶表示装置に用いたアクティブマトリクス基板の各構成部分の形成パターンを示す平面図である。

【図15】(A)は、図14のI-I'線における断面図、(B)は図14のII-II'線における断面図、(C)は図14のIII-III'線における断面図である。

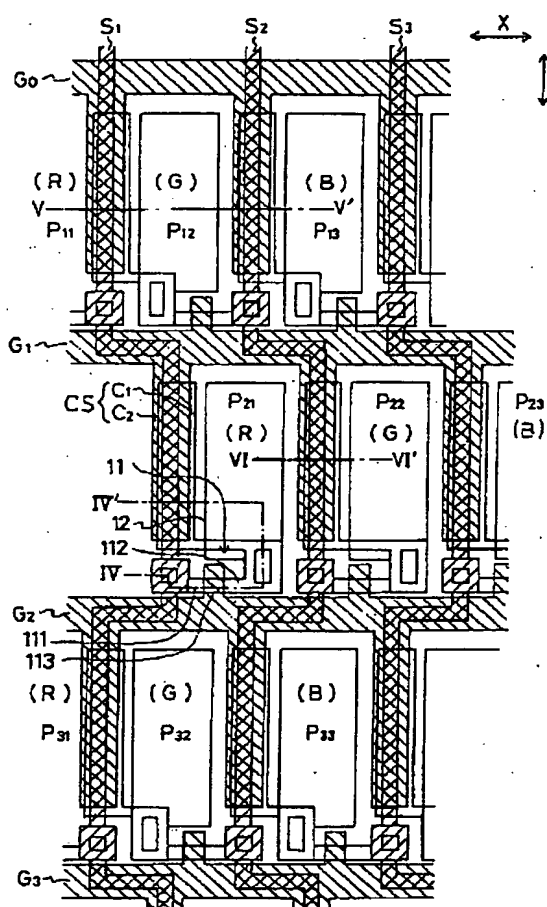
【図16】図14に示すアクティブマトリクス基板において、基板表面に保持容量コンデンサの二つの電極部を形成する各シリコン膜の形成パターンを模式的に示す平面図である。

(12)

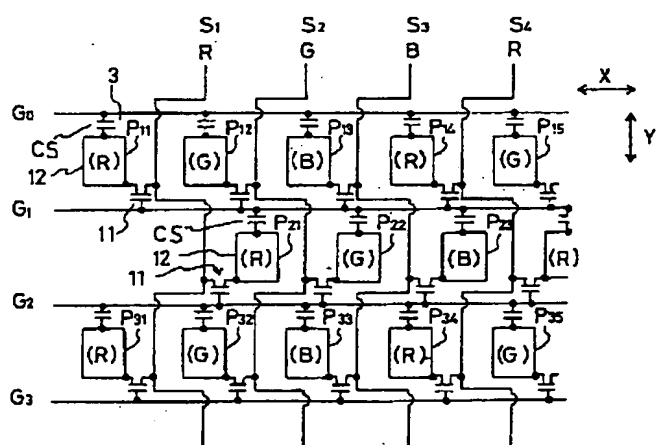
【図1】



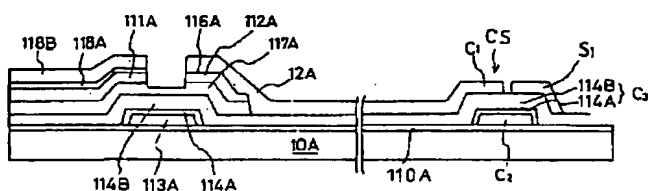
【図2】



【図3】

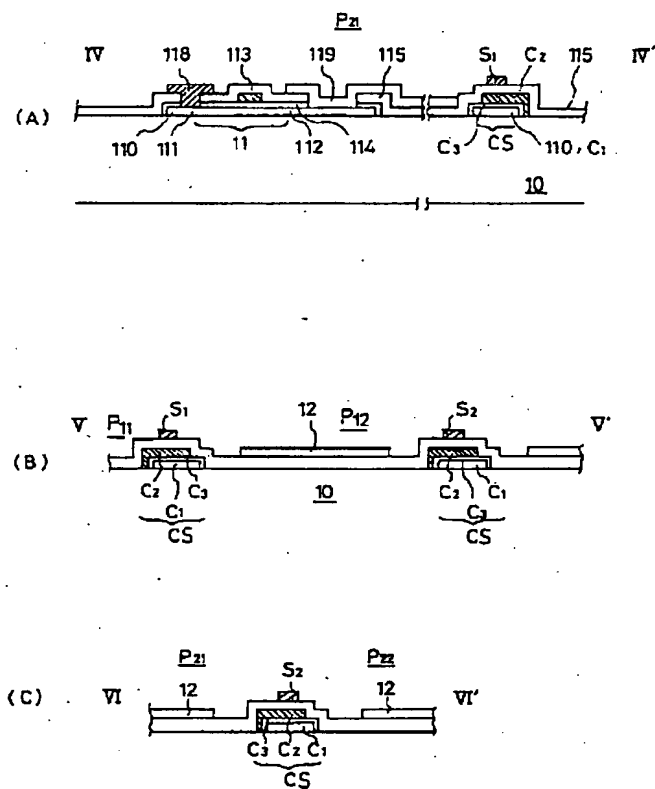


【図8】

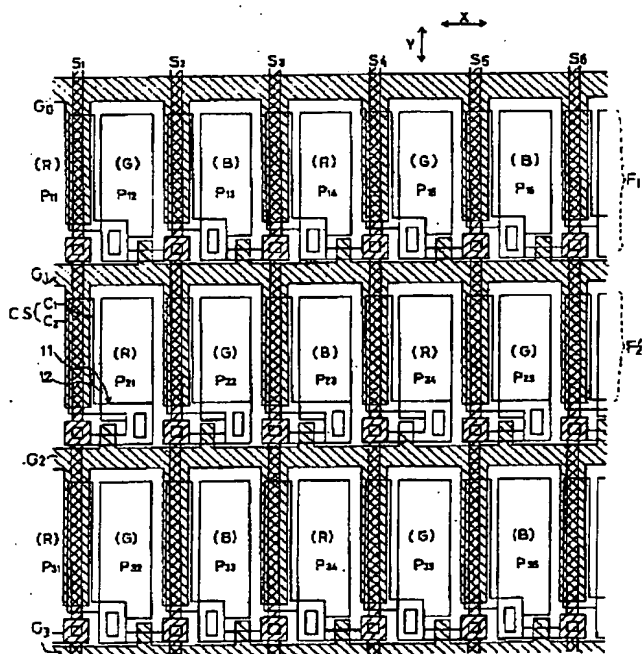


(13)

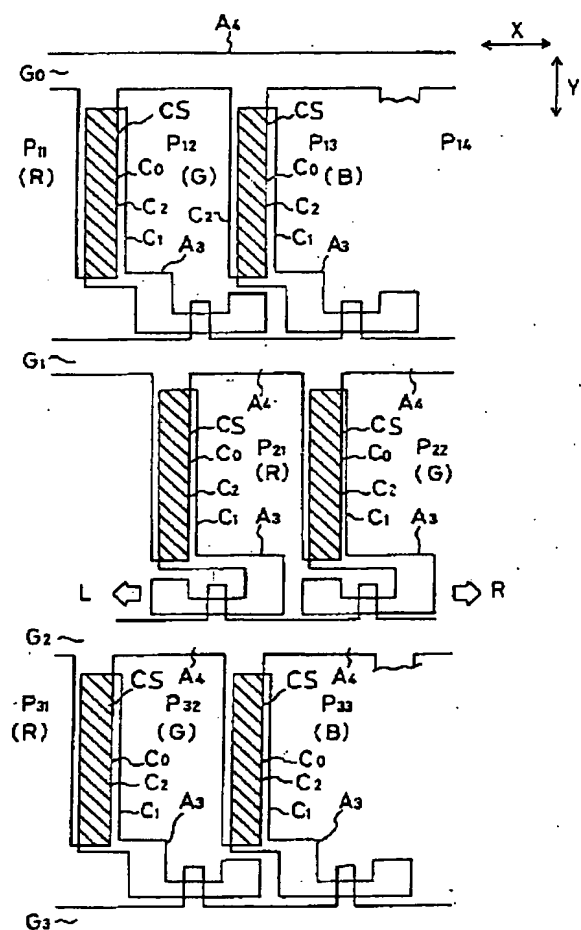
【図 4】



【図 11】

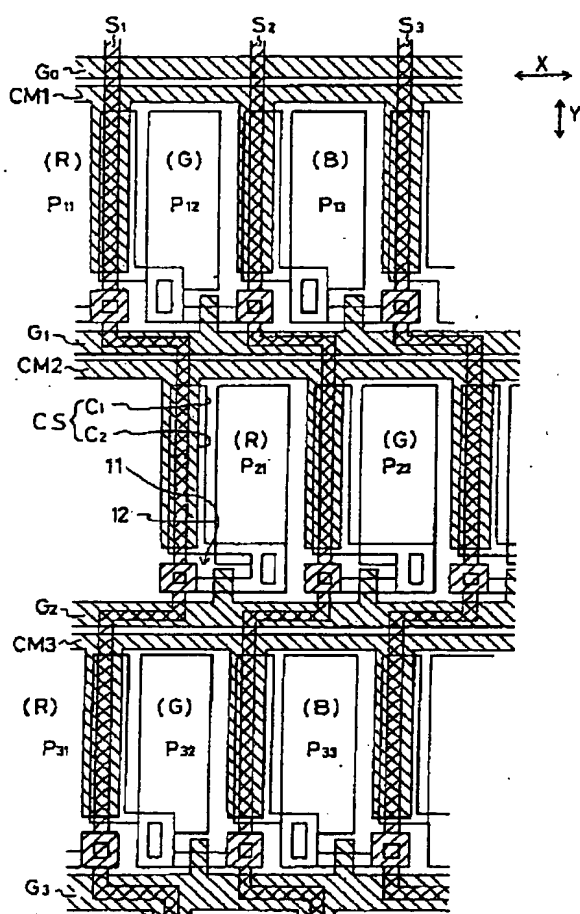


【図 5】

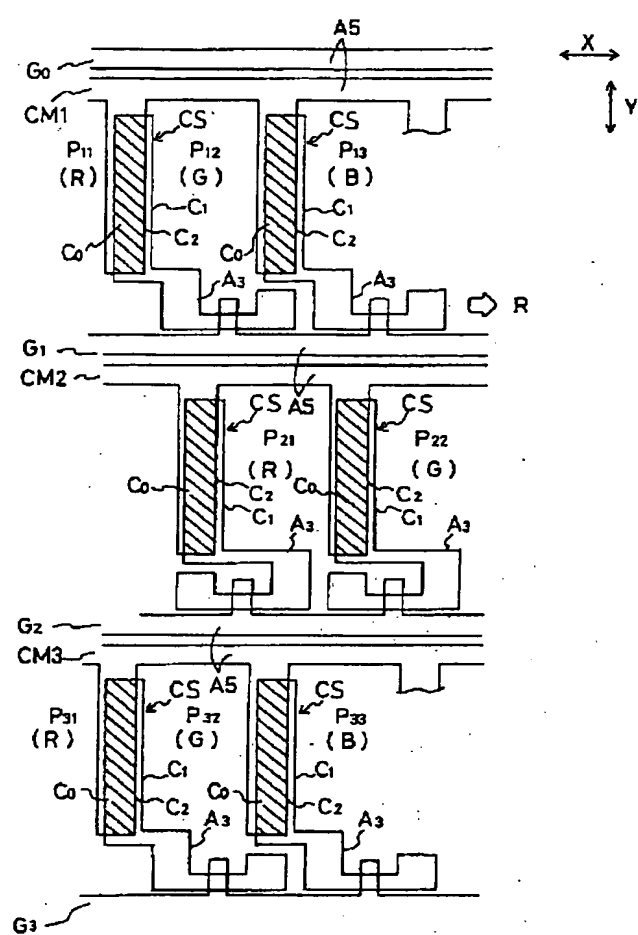


(14)

【図 6】

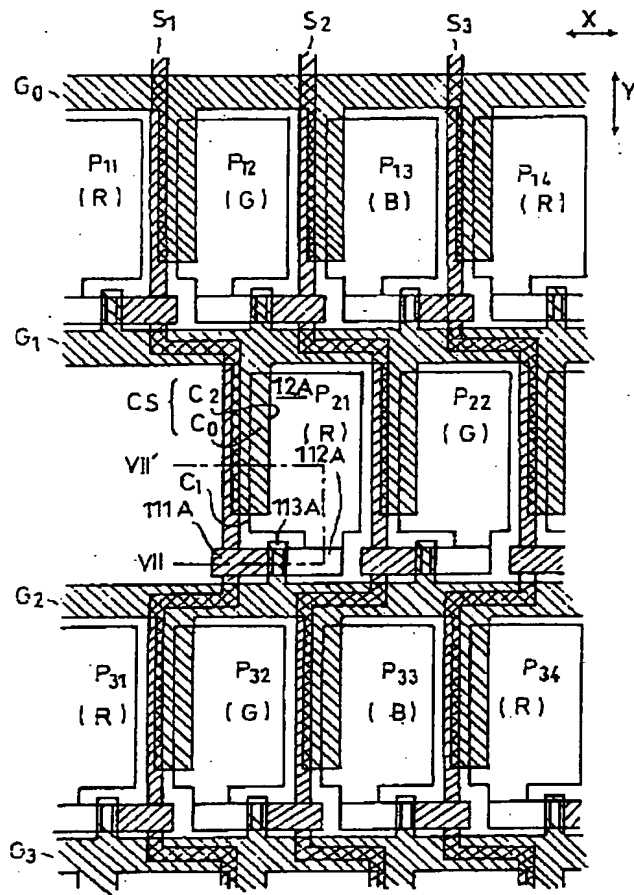


【図 7】

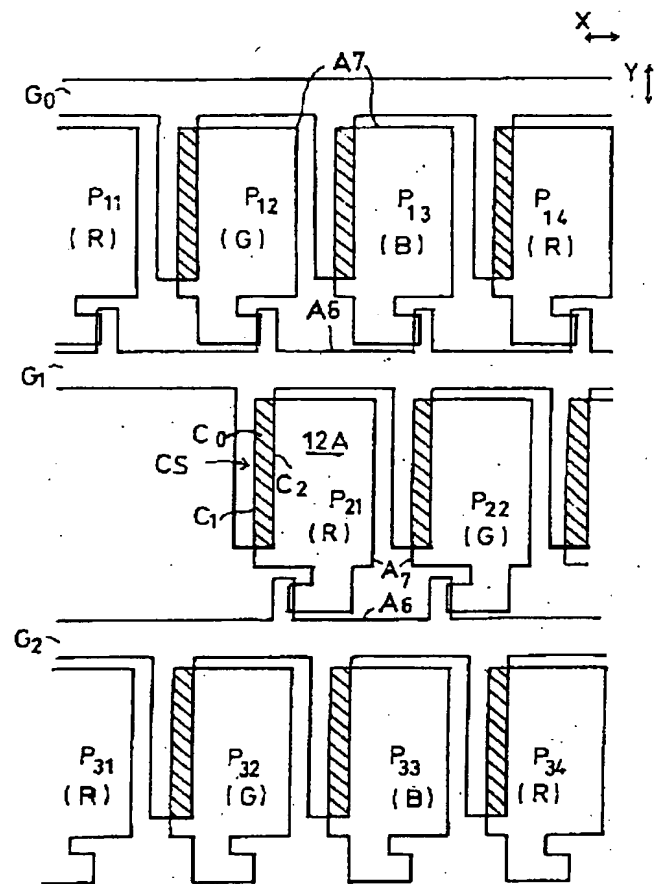


(15)

【図 9】



【図 10】



(16)

【図12】

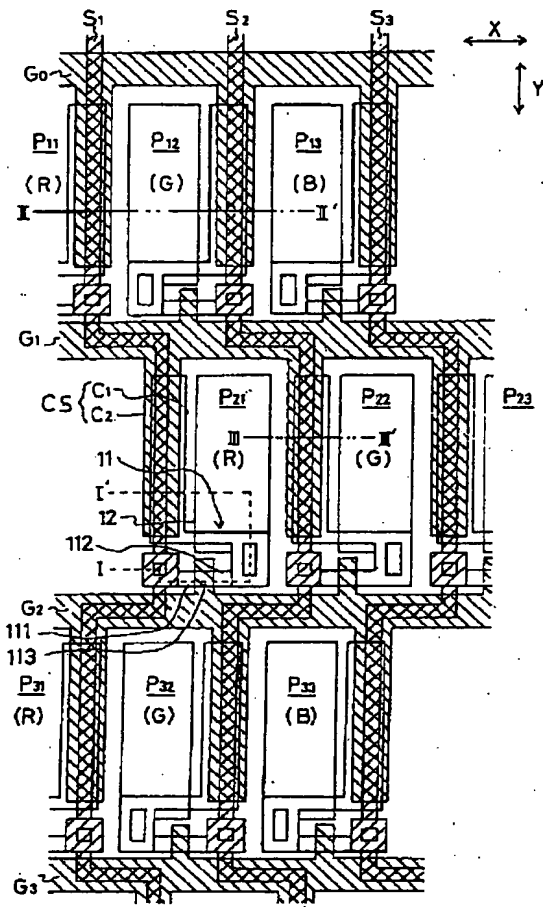
<u>P_{nn}</u>	R	G	B	R	G	B
	B	R	G	B	R	
R	G	B	R	G	B	
	B	R	G	B	R	
R	G	B	R	G	B	

【図13】

<u>P_{nn}</u>	R	G	B	R	G	B
B	R	G	B	R	G	
R	G	B	R	G	B	
B	R	G	B	R	G	
R	G	B	R	G	B	

(17)

【図14】



【図15】

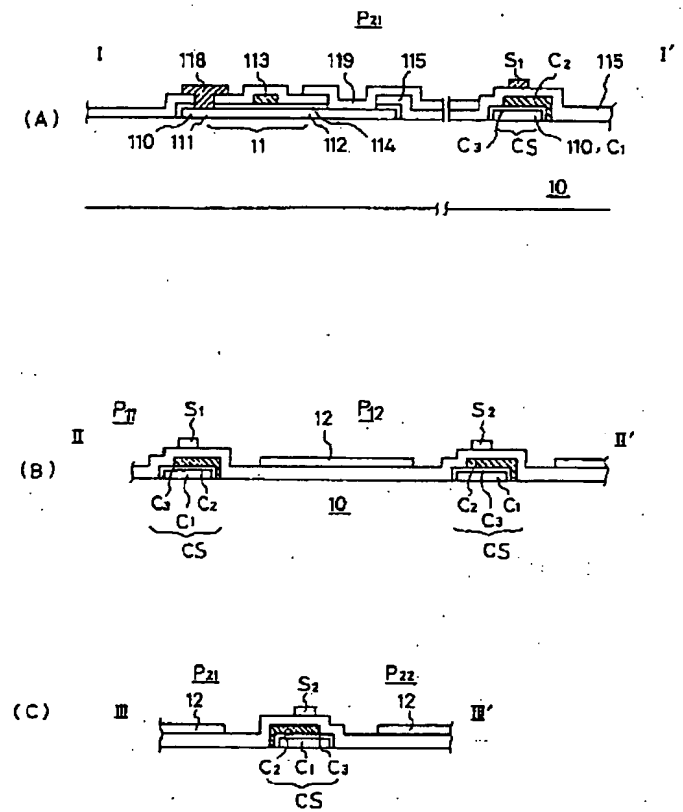


Figure 1 illustrates the plan view of a semiconductor device during four stages of manufacturing: G_0 , G_1 , G_2 , and G_3 . The device features a central region (G) and two side regions (R and B). The process involves depositing and patterning layers A_1 , A_2 , C_0 , C_1 , C_2 , and CS , and forming regions P_{12} , P_{13} , P_{21} , P_{22} , P_{32} , and P_{34} . A coordinate system (X, Y) is shown in the top right.

【請求項2】 請求項1に記載のアクティブマトリクス基板と対向基板との間に液晶を有することを特徴とする

(19)

る液晶装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】

【課題を解決するための手段】本発明は、複数のゲート線と、複数のソース線と、前記ゲート線と前記ソース線との交差に対応して配置された画素電極と、前記ゲート線に接続されたゲート電極と前記ソース線に接続されたソース領域と前記画素電極に接続されたドレイン領域とを有する薄膜トランジスタとを備え、前記ソース領域及びドレイン領域を構成する半導体層から延出された第1容量電極と、前記ゲート線に沿うとともに前記ソース線方向に張り出して第1容量電極に対向配置された第2容量電極となる容量線とにより保持容量が形成されてなり、前記第1容量電極と前記第2容量電極とは前記ソース線に重なるように配置されてなり、前記ソース線に沿って配置された第2容量電極は絶縁膜を介して前記画素電極に重なるように配置されてなり、前記ソース線の延在する方向に隣接する保持容量同士の間で、前記第2容量電極に対する第1容量電極の相対的な形成位置が同一であることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】削除

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】削除

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】削除

フロントページの続き

(51) Int. Cl. 7

G 0 9 F 9/30
9/35

識別記号

3 4 9

F I

G 0 9 F 9/30
9/35

テーマコード* (参考)

3 4 9 B

F ターム (参考) 2H048 BA02 BB02 BB07 BB08 BB44
2H091 FA02Y FD02 GA01 GA02
GA13 LA30
2H092 GA22 GA30 JA24 JA46 JB03
JB62 PA01 PA06 PA08
5C094 AA03 AA05 AA08 AA48 BA03
BA43 CA19 CA24 DB04 EA04
EA05 EA07 EA10 EB02 ED03
FA01 FB12 FB14 FB15 JA01